

HDTV 空間スケーラビリティ符号化の VLSI 化アーキテクチャ

工学院大学大学院工学研究科

(株)グラフィックス・コミュニケーション・ラボラトリーズ

//

工学院大学大学院工学研究科

正会員 正 村 和 由

正会員 小 林 孝 之

正会員 西 和 彦

持 田 康 典

〈あらまし〉 MPEG 2 動画像符号化標準では、現行テレビ放送(SDTV)レベルと高解像度テレビ放送(HDTV)レベルの映像信号の両立性を図る空間スケーラビリティ符号化方式がある。しかし、この符号化を実時間処理するためには、高解像度画像による膨大な情報量の処理に加えて、スケーラビリティ符号化のレイヤ間処理による制御が必要となり、実用化の妨げとなっている。本論文では、この符号化を実時間処理する VLSI 化のアーキテクチャとして、レイヤ間処理に機能分割型の並列処理を、HDTV レベルの高解像度情報源符号化処理にデータ分割型の並列処理を組み合わせたハイブリッド並列処理方式を提案した。さらに HDTV レベルの情報源符号化処理では、SDTV レベルの符号化 VLSI を基本構成とし、この VLSI を組み合わせることで実現するスケーラブルアーキテクチャを提案し、少種類の VLSI により本符号化処理方式が実現できることを示した。また、本アーキテクチャに基づく HDTV 空間スケーラビリティ符号化器は、最新の VLSI 技術により 3 種類の VLSI 9 個と汎用メモリ 11 個により実現できることも示した。

〈Summary〉 The MPEG2 standard for motion picture encoding specifies a method for spatial scalability which can be used to encode both Standard Definition Television (SDTV), used by current broadcasting systems, and High Definition Television (HDTV). Unfortunately there are two major obstacles in the implementation of this method as a real-time encoder. The first is the enormous processing required to manage HDTV's large data streams. The second is the large complexity of controlling an encoder designed for multiple, scaled, data types.

In this paper, we show how to overcome these obstacles with a hybrid approach which consists of parallelization of inter-layer processing functions and parallelization of data paths for high definition picture compression. In addition, we propose a scalable architecture based on VLSI modules for encoding SDTV, in which the modules can be grouped to implement coding for HDTV. We thus demonstrate that the spatial scalability can be implemented with a very small number of VLSI types. Finally, we give an example of this architecture in an implementation of a high-density spatially-scalable encoding device using nine VLSI chips of three different types, and eleven standard memory chips.

キーワード：MPEG 2, 空間スケーラビリティ, 階層型動ベクトル探索, 並列処理, スケーラブルアーキテクチャ

"An Architecture for High Resolution, Spatially Scalable Realtime Encoder VLSI" by Kazuyoshi SHOMURA (Member) (Kogakuin University), Takayuki KOBAYASHI (Member), Kazuhiko NISHI (Member) (Graphics Communication Laboratories) and Yasunori MOCHIDA (Kogakuin University).

1. ま え が き

近年, ISO/IECJTC 1/SC 29/WG 11(MPEG)による動画像符号化方式の標準化により, 特に放送メディアに

において現行テレビ放送(SDTV)レベルのデジタル化が急速に進展している。

この背景として、動画像におけるデジタル圧縮技術と最新のモデム技術の融合による多チャンネル化が大きく貢献している。また、デジタル化の特性を利用したCATV網によるビデオ・オン・デマンドサービス、デジタル通信ネットワークによる動画像インターネットサービスおよび記録メディアにおけるデジタルビデオディスク(DVD)など、その応用範囲はますます拡大されようとしている。一方、放送メディアではデジタル化による高品質映像に対する期待も高まりつつあり、SDTVレベルと高解像度テレビ放送(HDTV)レベルの両立性が要求されている。この両立化に関してMPEG2符号化方式¹⁾ではハイプロファイルにおいて、空間スケーラビリティ符号化方式を規定している。しかし、HDTVレベルの高解像度画像のデータ量は膨大となり高効率なHDTV空間スケーラビリティ符号化を実現するためには膨大な処理²⁾が必要となる。これと同時にレイヤ間処理があり単純なメインプロファイル/メインレベル(MP@ML)符号化器による並列処理では対応できない。このため符号化器の実用的なハードウェア量とVLSIの開発面より新たな処理アーキテクチャの確立が求められている。

筆者らは、SDTVを対象としたMPEG2のMP@MLに準拠した符号化装置³⁾およびメインプロファイル/ハイレベル(MP@HL)に拡張可能なMP@ML符号化用VLSI⁴⁾を開発してきた。本論文では、符号化部分に対してこれらの処理アーキテクチャを踏まえつつ、HDTV空間スケーラビリティ符号化方式の実時間処理に対応可能なアーキテクチャを提案し、本アーキテクチャが、最新のVLSI技術(0.3ミクロンルールを想定)により少種類のVLSIと汎用メモリにより実現可能なことを示す。

2. HDTV空間スケーラビリティ符号化のVLSI化の課題

空間スケーラビリティ符号化方式の概要とその符号化を実時間処理するVLSIを実現するための課題について述べる。

2.1 HDTV空間スケーラビリティ符号化の概要

空間スケーラビリティ符号化方式は、図1に示すように、HDTVレベルの入力画像とこれをダウンサンプリングし空間的に縮小したSDTVレベルの画像を、各レイヤの符号化の入力としている。下位レイヤはSDTVレベルのシングルレイヤ(MP@ML)と同様の符号化が行われる。上位レイヤでは、通常の動き補償画像に加え

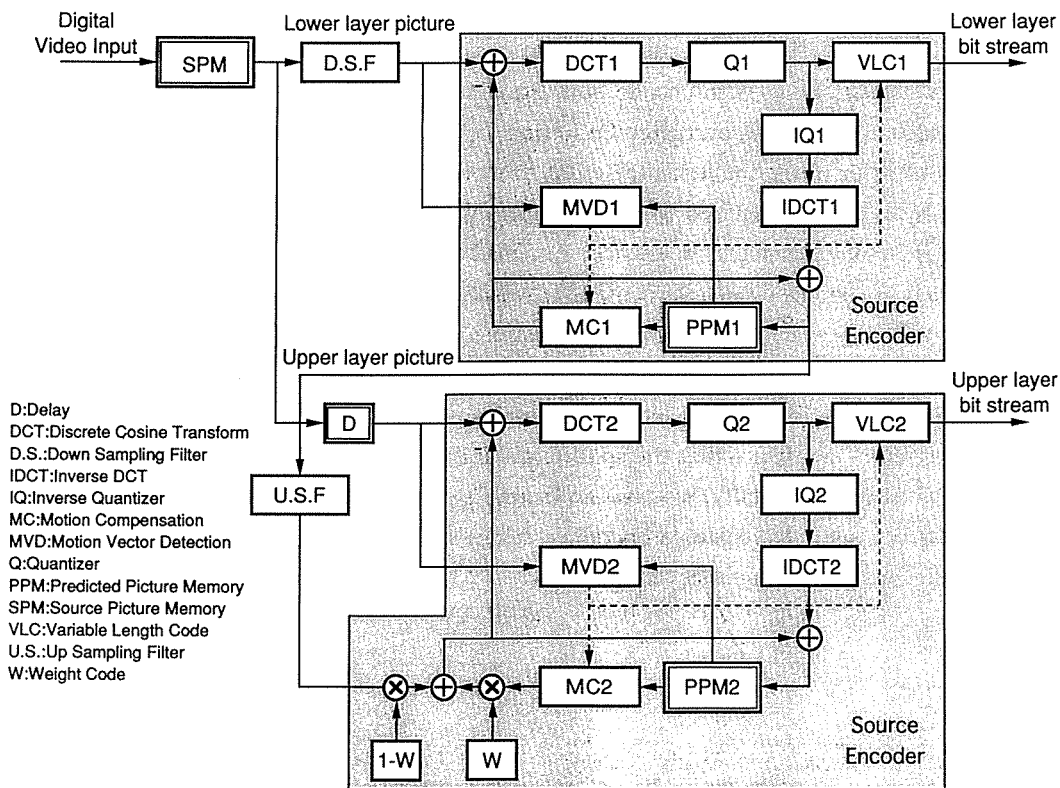


図1 空間スケーラビリティ符号化の構成
Fig. 1 Block Diagram of Spatial Scalability Encoder

て、下位レイヤで復号化された再構成画像を拡大し空間予測画像として用いる。この空間予測画像と動き補償画像はそれぞれ重み係数 W および $1-W$ が乗じられ加算され予測画像を生成し符号化が行われる。このため下位レイヤ、上位レイヤを個々に符号化するより高能率な符号化が可能となる。

2.2 空間スケーラビリティ符号化の高能率化

高能率な空間スケーラビリティ符号化器を実現するアルゴリズムとして動き補償フレーム間予測がある。この予測は符号化画像タイプ、動き補償予測モードおよび動ベクトル探索範囲の設定により高精度な動ベクトルが得られる。それぞれの設定を以下に示す。

(1) 符号化画像タイプ

動き補償フレーム間予測には、前方予測の他に未来の画像から予測を行う後方予測およびこの2つの予測画像の内挿画像による双方向予測がある。符号化画像タイプはIピクチャ(フレーム内符号化画像)、Pピクチャ(前方予測画像)、Bピクチャ(双方向予測画像)の3種類により構成され、双方向予測を使用することにより圧縮率が向上する。I、Pピクチャ間に挿入するBピクチャ数の最適値は、映像の性質により異なるが比較的映像の動きが小さい場合は0または1枚、動きが大きい場合は2または3枚が効果的⁵⁾とされている。

(2) 動き補償予測モード

動き補償予測モードはインタレース構造に対応したフレーム予測(フレームMC)、フィールド予測(フィールドMC)およびデュアルプライム予測があり、映像に合わせ適応的に使用することで高い圧縮率を得ることができる。

(3) 動ベクトル探索範囲

動ベクトルはハーフペル精度で、かつ探索範囲を拡大することで精度を上げることができる。しかし、通常のテレビ映像では、視覚の移動適応性に対応し、チルティング(縦方向のカメラの移動)の使用は少ないがパンニング(横方向のカメラの移動)は多いため、動ベクトルの探索範囲は、水平方向を広くし垂直方向は符号化画像のインタレース構造に合わせた動ベクトル検出をすると効果的である。また動ベクトルの性質として、入力画像と参照画像とのフレーム間距離が広がると動物体の移動距離が大きくなるため時間間隔に比例して探索範囲を切り替えると精度が良くなる⁶⁾。

2.3 実時間処理 VLSI 化の課題

上位レイヤの HDTV レベルの画像サイズは水平解像度 1920 [pel]、垂直解像度 1088 [line] であり SDTV レベル(水平解像度 640 [pel] 垂直解像度 480 [line])の約 6 倍と膨大な情報量となる。このため前節の高能率

化アルゴリズムを用いた HDTV 空間スケーラビリティ符号化は膨大な処理量となる。また階層間における画像データの高速転送がありこの同期制御が必要である。さらに高能率な符号化器を実現するには動き補償フレーム間予測に多くの処理量が必要となりその処理構成は大規模化し複雑となる。主な課題となる動き補償フレーム間予測の処理量と符号化器を構成するハードウェア量および VLSI の開発種類について示す。

(1) 動き補償フレーム間予測の処理量

① 双方向予測のため挿入される B ピクチャの枚数に応じた複数のフレームを記憶するメモリとフレーム間予測のため予測画像を記憶するメモリが必要となり、ともに大容量のメモリが必要となる。

② 前方探索に加えて後方探索があるため動ベクトル検出処理量は 2 倍となる。

③ 挿入する B ピクチャの枚数により動ベクトルの探索範囲を広げる必要がある。

④ 動き補償予測モード数に比例して処理量は増加する。

⑤ 上位レイヤは下位レイヤに対し水平・垂直方向に 2 倍の解像度があるためこの動ベクトルの探索範囲は 2 倍必要となる。

(2) 符号化器を構成するハードウェア量と VLSI の開発種類

現在の VLSI 化技術による MP@ML の符号化器は複数の VLSI により構成されている。HDTV レベルの上位レイヤのみを MP@ML 符号化器で並列処理しても数十個の VLSI が必要でありハードウェア量が極めて大きくなる。したがって、現実的かつ経済的な HDTV 空間スケーラビリティ符号化器を実現するためにはより単純な処理構成でかつ少数の VLSI で構成でき、メモリの使用量を最小限とする構成が必要である。

また、現在 VLSI の開発は、ハードウェア記述言語(HDL)と論理合成を使用して行われているが、それでもなお複数の VLSI を開発することは多くの開発工数と開発期間が必要となる。このため符号化器を構成する VLSI の開発種類を少なくすることが求められている。

3. HDTV 空間スケーラビリティ符号化の処理アーキテクチャ

膨大な情報量の処理手法として一般的に並列処理方式が用いられる。この並列処理は、機能分割型とデータ分割型の2つのタイプに分けることができる。機能分割型は、処理を時間方向に分割して最適な処理ブロックを割り当てパイプラインを処理することで、一連の処理時間を短縮する方法である。一方データ分割型は、入力デー

タを空間的に分割し複数の処理ブロックに分担させ、それらを同時に実行することで処理時間を短縮する方法である。ここではHDTV空間スケーラビリティ符号化器のVLSI化に適した基本アーキテクチャと符号化の処理方式について述べる。

3.1 基本アーキテクチャ

HDTV空間スケーラビリティ符号化器は、上位レイヤおよび下位レイヤ符号化の他にレイヤ間の処理が必要である。このため、単純なデータ分割型の並列処理構成とすることはできない。

そこで各レイヤの入力となる符号化画像の生成と分配および下位レイヤの再構成画像出力による空間予測画像の生成と上位レイヤへの分配は階層化制御部として機能分割型の並列処理とし、各レイヤの情報源符号化部はデータ分割型の並列処理とするハイブリッドアーキテクチャとした。この処理構成を図2に示す。また、情報源符号化部は上位レイヤおよび下位レイヤに共通な基本ブロックを設定し、上位レイヤは複数の基本ブロックによる並列処理が可能なスケーラブルアーキテクチャとした。

この符号化処理構成の中で最も処理量の大きな動き補償フレーム間予測は処理量の削減、処理効率および処理構成のブロック化を考慮し、つぎの処理方式による複合処理構成とした。

- ① 動ベクトル検出は粗探索と密探索による2段階動ベクトル検出処理方式とする。
- ② 粗探索は入力画像上で密探索は予測画像上で行う。

③ 上位レイヤは階層型動ベクトル探索法⁷⁾を用いる。

④ 粗探索動ベクトルは上位レイヤおよび下位レイヤに共通に使用する。

⑤ HDTV画像の高解像度画像と水平・垂直方向に1/2に縮小した低解像度画像はインタレース構造と画像の相似性を保つダウンサンプリングフィルタにより生成する。

この方法によりつぎのような効果が得られる。

① 上位レイヤの粗探索は縮小された低解像度画像上で行うため高解像度画像上での探索と比べて処理量を1/4に削減できる。また下位レイヤの粗探索を共通化する

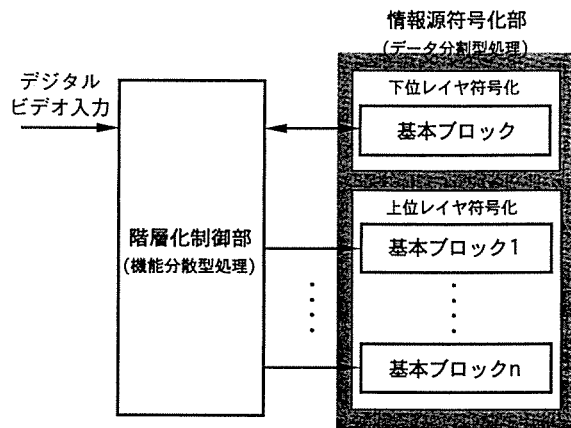


図2 HDTV空間スケーラビリティ符号化器の基本アーキテクチャ

Fig. 2 Basic Architecture of HDTV Spatial Scalability Encoder

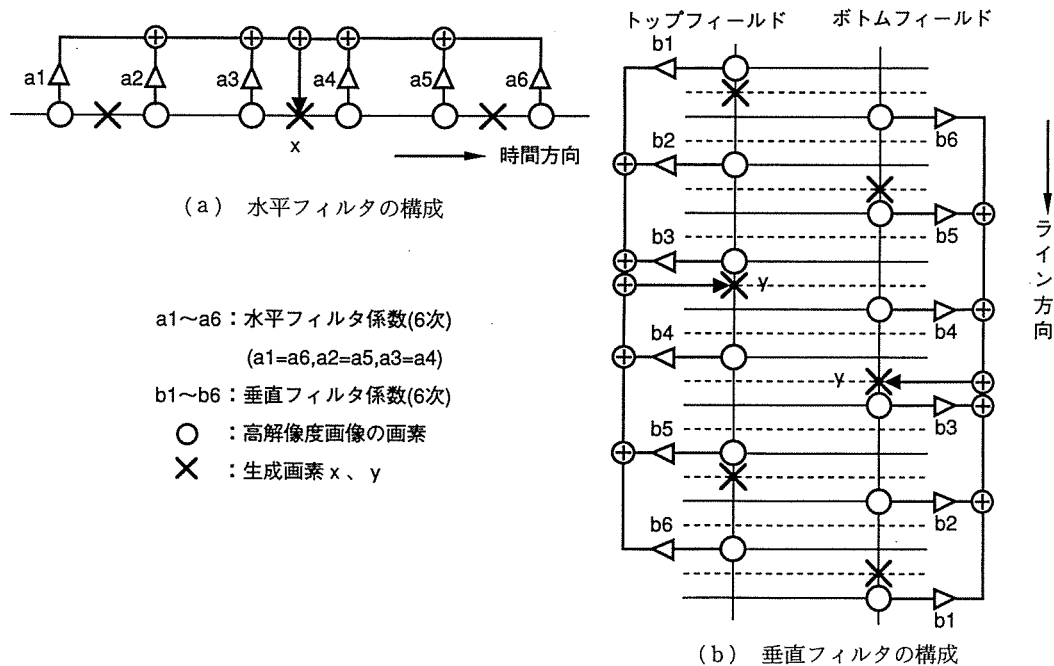


図3 ダウンサンプリングフィルタの構成
 Fig. 3 Structure of Down Sampling Filter

ることができる。

② 粗探索用の低解像度画像はインタレース構造が保たれるため、フィールド探索で得られる予測誤差からフレーム探索の予測誤差を得ることができる。

③ 粗探索の低解像度画像と密探索の予測画像をメモリ分散することによりメモリのアクセス速度を低減できる。

④ 各レイヤに共通の粗探索とその出力判定処理は階層化制御部で、密探索は各レイヤごとの情報源符号化部での処理が可能となる。

3.2 階層化制御部

階層化制御部は、符号化処理の前段に位置し、各レイヤの符号化画像の生成、符号化マクロブロックの各レイヤへの分配、上位レイヤで使用する空間予測画像の生成および分配、さらに動ベクトル検出の粗探索処理を行う。このような処理を集中して行うため階層符号化は同期処理を行う制御回路を簡素化することができる。

3.2.1 階層画像の生成処理

(1) 高解像度画像の生成

カメラなどから入力される HDTV デジタルビデオ信号は、一般的に 4:2:2 ピクチャフォーマットが用いられるが、符号化に先立ちこの色差信号に対して垂直フィルタを用いて 4:2:0 フォーマットに変換し高解像度画像を生成する。垂直フィルタは図 3(b)に示すようにインタレース構造を維持するため非対称フィルタ構成とする。また両フィールドの特性を合わせるために、トップフィールドとボトムフィールドの係数は対称的になる。

このフォーマット変換で十分な性能を得るためには 6 タップ以上の FIR フィルタが必要である。

(2) 低解像度画像の生成

低解像度画像はダウンサンプリングフィルタにより高解像度画像を水平・垂直方向に 1/2 に縮小し生成する。ダウンサンプリングフィルタは水平フィルタと垂直フィルタにより構成される。水平フィルタは図 3(a)に示すような対称型フィルタ構成とし、垂直フィルタは高解像度画像生成と同じ構成にする。このため低解像度画像はインタレース構造と高解像度画像と相似性を保つことができる。本フィルタも、同様に 6 タップ以上の FIR フィルタが必要である。

3.2.2 動ベクトル検出処理

2 段階動ベクトル検出処理方式は図 4 に示すように粗探索処理と密探索処理より構成する。粗探索は入力画像の高解像度画像を縮小した低解像度画像を粗探索用画像として用いる。粗探索動ベクトル検出器 (1stMVD) は入力画像と参照画像にこの粗探索用画像を利用して動き補償の各予測モードごとの探索結果を出力する。この中より最小予測誤差となる予測モードを判定し粗探索結果の動ベクトル (1stMV) を出力し記憶する。上位レイヤは階層型動ベクトル探索法を用いるため密探索動ベクトル検出器 (2ndMVD) の入力画像は高解像度画像を、参照画像は対応する予測画像より前段の 1stMV を読み込み 2 倍にした画像領域を入力し探索を行う。2ndMVD は各予測モードごとの探索結果を出力する。これより最小予測誤差の動ベクトル 2ndMV を出力する。下位レイ

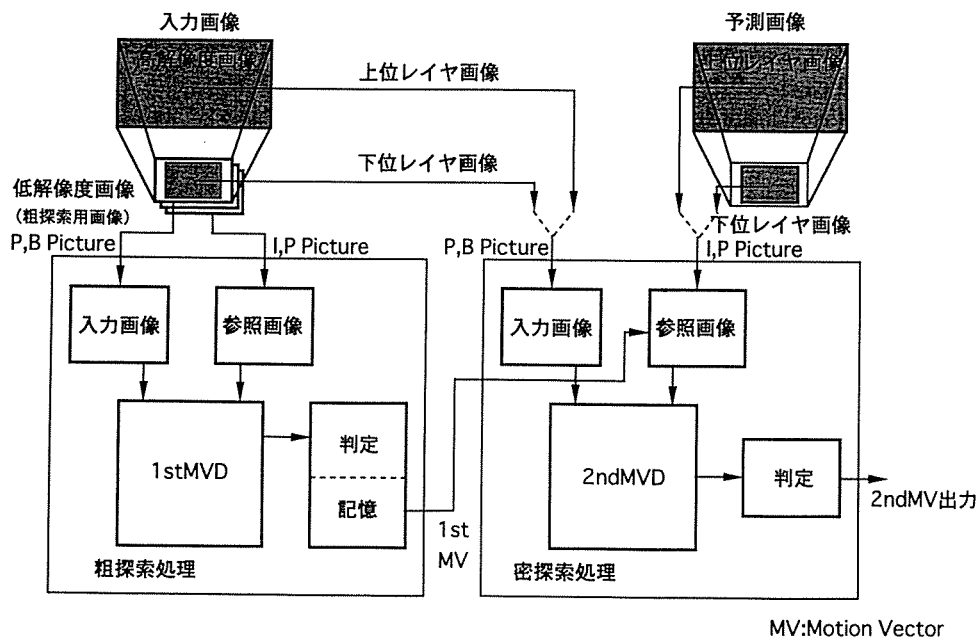


図 4 2 段階動ベクトル検出処理方法の構成
Fig.4 Block Diagram of two_step Motion Vector Detector

ヤは階層型動ベクトル探索法を用いないため入力画像に低解像度画像が用いられ粗探索出力の1stMVはそのまま使用される。

(1) フレーム間隔適応粗探索(1stMVD)

入力画像と参照画像とのフレーム間隔に適応して探索する方法としてテレスコピックサーチ法¹¹⁾がある。この方法は各段階でパイプライン処理ができなくなること、そして、各段階でフルサーチを行うため処理量およびメモリバンド幅ともかなり大きくなる欠点がある。筆者らは、探索範囲をフレーム間距離に応じて探索点密度を切り替える可変シストリックアレー構造のMP@ML符号化用VLSI(CME)⁴⁾を開発している。これは、SDTVレベルの各種映像をシミュレーションで評価し、水平方向ではフレーム間距離当たり-24~+23画素、垂直方向では-18~+17画素固定とし、その探索処理を実現している。本粗探索では、CMEのアーキテクチャの適用が可能である。

1stMVDは入力画像と参照画像のフィールドの組合せに対してブロックマッチングを行うことにより4個の最小予測誤差とその動ベクトルを出力する。同時にフレームMCの最小予測誤差とその動ベクトルを出力する。探索処理は整数画素精度の探索であり処理量の削減と同時にマクロブロック単位に連続パイプライン処理ができるためメモリバンド幅が低減できる。

(2) 粗探索動き補償予測の判定

1stMVDの出力を判定しフレーム・フィールドMCの動ベクトル(MV)を出力する。

① Pピクチャの場合、予測誤差により発生する量子化ノイズはこれを参照するP、Bピクチャに伝搬するため、密探索での探索精度を高めるためフィールドMCとフレームMCの動ベクトルを出力する。

② Bピクチャの場合、ダウンサンプリングフィルタの特性により粗探索用画像は高解像度画像と位相差のない相似画像であり、これらの画像の符号化により生成される予測画像はともに位相差が保たれているため、粗探索の判定結果でフィールド・フレームMCのモード判定を行っても密探索でのモード判定と同様の結果を得ることができる。また異なったとしてもこのため発生する予測誤差による量子化ノイズは他のピクチャで参照することはないため伝搬されることはなく影響は小さい。この特性を踏まえて粗探索出力でフィールド・フレームMCを判定し、フィールドMCまたはフレームMCの動ベクトルを出力する。

このため密探索では、前方向、後方向の動き補償予測が必要であるがこの判定が粗探索で行うことができるため処理量を半減することができる。

(3) 粗探索の判定結果の記憶

Bピクチャの場合、前方向の処理後、後方向の処理を行うため判定のための1スライス分の記憶が必要である。また、下位レイヤ符号化および上位レイヤ符号化の開始に先行して粗探索を行う必要がありその間の判定結果を記憶する。

(4) フルサーチによる密探索(2ndMVD)

2ndMVDはフレームMC、フィールドMCおよびデュアルプライム予測に対する動ベクトル検出処理を行う。粗探索出力の判定による動ベクトル(MV)の領域で±2画素をハーフペル精度で探索するため、探索範囲は比較的小さい。このため処理量を抑えることができる。処理方法として整数画素の探索後にハーフペル探索を行う方法があるが、ハード量と制御の複雑さから効率的なハーフペル精度によるフルサーチを用いる。筆者らはハーフペル画像の生成をすることなくハーフペル精度のフルサーチ可能なシストリックアレー構造のMP@ML符号化用VLSI(FME)⁴⁾を開発している。本密探索ではFMEのアーキテクチャの適用が可能である。2ndMVDでは下位レイヤでMVを1倍、上位レイヤで2倍にスケールリングして使用するため上位レイヤの探索範囲はX方向が $-48 \times fd - 2 \sim +46 \times fd + 2$ [pel]、Y方向が $-34 \sim +32$ [pel]となり下位レイヤのX、Yの2倍とすることができる。

3.3 情報源符号化部

情報源符号化部は、下位レイヤおよび上位レイヤともマクロブロック単位に処理可能であり画面空間に比例して処理量が増加すること以外基本的な処理は同じである。そこで一定のマクロブロック数を動き補償、DCT、Q、IQ、IDCTおよびVLC処理する基本ブロックを設定する。基本ブロックはこのマクロブロック数内で画像サイズ(水平・垂直画素数)の設定を可能とする。処理するマクロブロック数が多い上位レイヤでは符号化する画像空間を垂直分割し基本ブロックを並列に使用して構成するスケラブルアーキテクチャとする。このため階層化制御部に接続する基本ブロックの数を替えることにより様々な画像サイズの符号化に対応が可能となる。また基本ブロック間の処理はないため単純な構成が可能である。さらに下位レイヤ用の再構成画像出力および上位レイヤ用の重み係数処理と空間予測画像入力を含むことで各レイヤで共通な基本ブロックを使用することができる。

3.3.1 基本ブロックの処理機能

基本ブロックの主な処理機能は、密探索の動ベクトル検出処理、動き補償、重み係数処理、空間予測画像の入力処理、再構成画像の出力処理、DCT、Q、IQ、IDCT

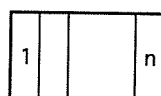
および VLC 処理である。このうち共通化のための処理機能は再構成画像の出力、空間予測画像の入力およびその重み係数処理機能であり全体に占める割合は小さい。

MP@ML 符号化用 VLSI⁴⁾は情報源符号化処理を 3 チップ(COD, FME, QLV)で構成しているが、回路規模は約 25 万ゲート+バッファ RAM であり、最新の VLSI 技術(0.3 ミクロンルール)では 1 チップ化できることが判っている。

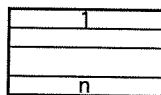
3.3.2 上位レイヤの符号化処理

情報源符号化部の上位レイヤは複数の基本ブロックの並列処理により行う。この場合、空間分割された画面内で符号化処理を行うためメモリ容量とメモリバンド幅を削減することができ、基本ブロック間のデータ交換も不要となり構成が単純となる。しかし、境界部分で粗探索動ベクトルの動き補償が予測画像の領域外となることがあるため分割画面の境界領域で画質劣化を招く。シングルレイヤの符号化では動き補償できない境界ではイントラ符号化が行われる。このイントラ符号化はインター符号化の量子化マトリックスと量子化方法が異なり量子化誤差が変化し同じ量子化ステップを使用しても境界線が見えてしまう。空間スケーラビリティ符号化では下位レイヤの再構成画像を空間予測画像として使用することができるため、動き補償できない境界では空間予測画像を使用することができる。このため量子化誤差の不連続による影響を小さく抑えることができる。また、イントラ符号化に比べて符号量発生も抑えることができる。本アーキテクチャでは動き補償部分の予測画像のオーバーラップがない空間分割型並列処理方式とする。

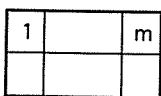
上位レイヤ符号化における空間分割方法は図 5 の垂直分割、水平分割および水平・垂直に分割する複合分割があり、それぞれの特徴を表 1 に示す。垂直分割は下位レイヤの画面サイズと上位レイヤの画面サイズが異なるため 2 種類のメモリマップ制御が必要となるが、処理遅延



(a) 垂直分割



(b) 水平分割



(c) 複合分割

図 5 画面の空間分割

Fig. 5 Picture Spatial division

が少なく制御が容易でメモリ容量を含む全体の処理構成を小さくすることができるため垂直分割方法を用いる。

4. HDTV 空間スケーラビリティ符号化器の VLSI 構成

前章の基本アーキテクチャに基づく HDTV 空間スケーラビリティ符号化器の VLSI 化とメモリとのデータ転送量およびメモリバンド幅を検証しその実現性を確認する。なお、設定した HDTV 空間スケーラビリティ符号化器の諸元は表 2 に示す。画面サイズは HDTV レベルと SDTV レベルとし、コンピュータ端末での表示も考慮し画素のアスペクト比を 1:1 とした。

4.1 実時間処理符号化器の処理構成

本符号化器の処理構成は、機能分割型並列処理アーキテクチャを採用した階層化制御部とデータ分割型並列処理アーキテクチャを採用した情報源符号化部により構成する。情報源符号化部は複数の基本ブロック(S_BLK)

表 1 上位レイヤ符号化の空間分割方法による特徴

Table 1 Upper layer coding picture division characteristics

比較項目	垂直分割	水平分割	複合分割
バッファメモリ容量 [粗探索ベクトル・空間予測画像]	2 スライスライン	1 フレーム	0.5 フレーム
スライス数/符号化画像	n	1	m
レイヤ間の遅延	2 スライスライン	1 フレーム	0.5 フレーム
メモリマップ制御	2 種類	2 種類	1 種類
分割境界の不連続性	>複合分割	複合分割>	>水平分割

注 バッファメモリ容量は階層間符号化で必要となる容量である。

表 2 空間スケーラビリティ符号化器の諸元

Table 2 Functional characteristics of Spatial Scalability Encoder

動画画像符号化方式		MPEG2 HP@HL4:2:0 サブセット
画面サイズ	下位レイヤ符号化画像	640[pe]× 480[line]
	上位レイヤ符号化画像	1920[pe]× 1088[line]
画面アスペクトレシオ	下位レイヤ	4 : 3
	上位レイヤ	16 : 9
フレーム レート		30frame/s
信号形式		4 : 2 : 0
ピクチャフォーマット		M=1, 2, 3
MC モード (フレーム構造)		・ フィールド MC ・ フレーム MC ・ デュアルプライム予測
動ベクトル探索範囲	下位レイヤ	・ X 方向-24×fd-2~+23×fd+2[pe] Y 方向-18~+17[pe]
	上位レイヤ	・ X 方向-48×fd-2~+46×fd+2 [pe] Y 方向-34~+32 [pe] fd : 参照画像とのフレーム間隔
探索精度		ハーフペル精度

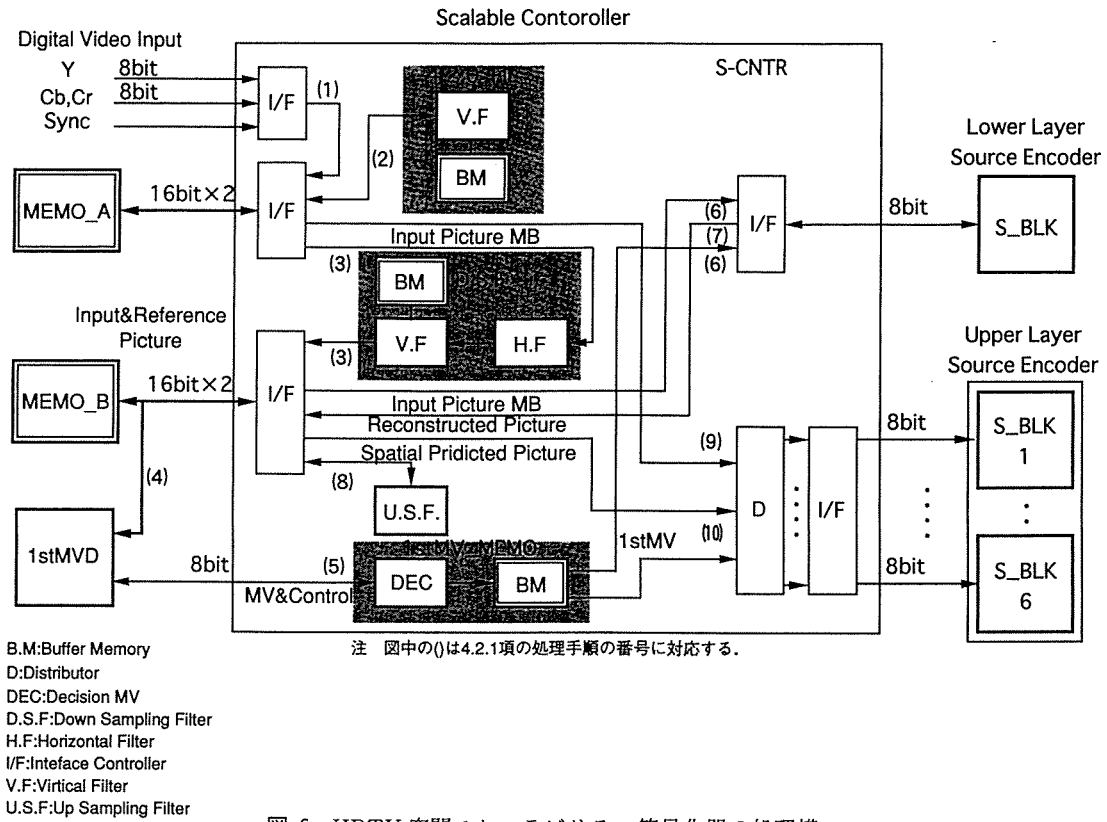


図 6 HDTV 空間スケーラビリティ符号化器の処理構成

Fig. 6 Block Diagram of HDTV Spatial Scalability Encoder

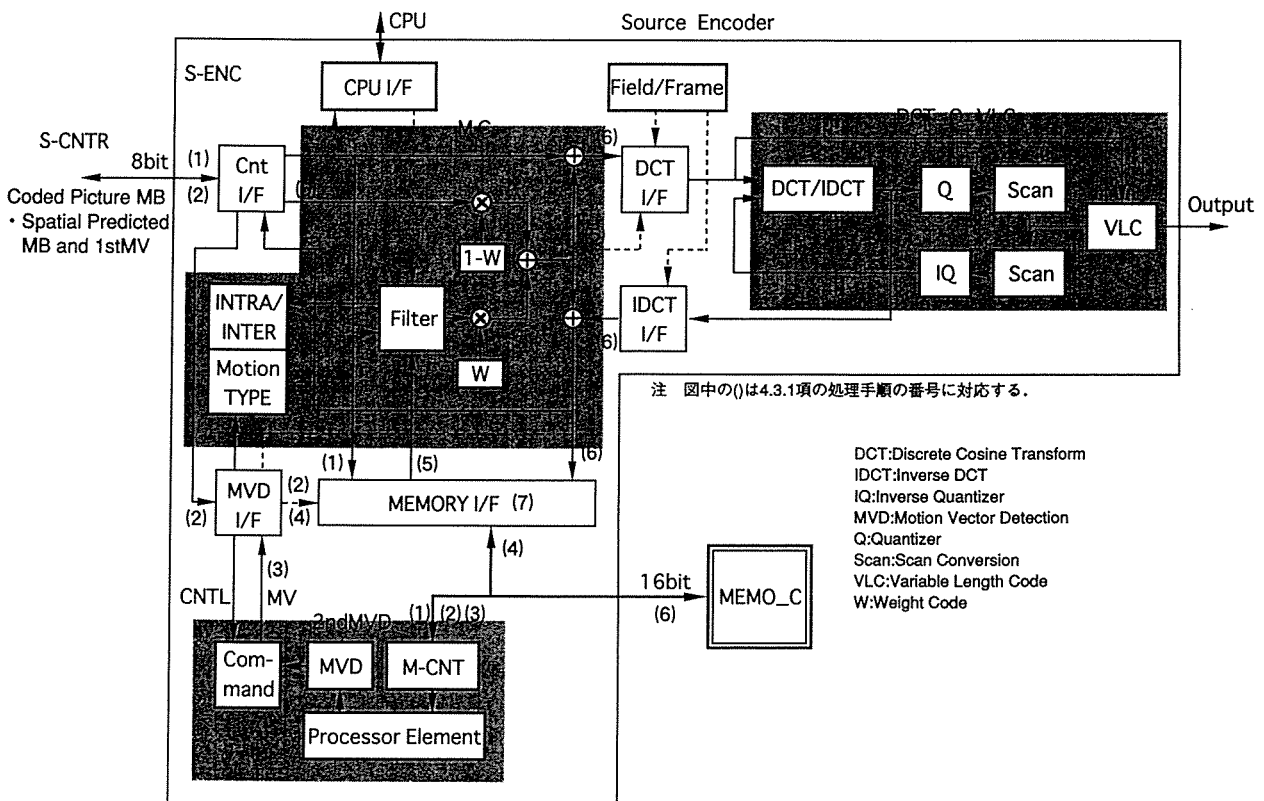


図 7 情報源符号化部の処理構成

Fig. 7 Block Diagram of Source Encoder

によるスケーラブルアーキテクチャとし下位レイヤに 1 個、上位レイヤに 6 個割り当てる。階層化制御部は図 6 に示すように階層化制御器(S_CNTR)、動ベクトル検出器(1 smMVD)およびメモリ(MEMO_A, B)より構成する。S_BLK は図 7 に示すように情報源符号化器(S_ENC)およびメモリ(MEMO_C)により構成する。S_CNTR, 1 stMVD および S_ENC はそれぞれ 1 個の VLSI に実装できるので VLSI は 3 種類となり、符号化器全体では 9 個の VLSI により構成することができる。MEMO_A は 8 M バイトの汎用 SDRAM(Synchronous DRAM)を 2 個、MEMO_B と MEMO_C は 2 M バイトの汎用 SDRAM それぞれ 2 個と 1 個を用い合計 34 M バイトで構成できる。

筆者らが開発した MP@ML 符号化チップセットは 5 個の VLSI と 6 M バイトのメモリを用いている。これを 8 チップセット用いた HDTV 符号化器(MP@HL)の構成例⁴⁾と比較すると、本方式は使用 VLSI 数を 1/4 に汎用メモリ容量を 70%に削減することができる。

以下に各ブロックの処理内容およびブロック間のデータ転送速度について検討し実時間処理化の検証を行う。

4.2 階層化制御部の処理構成

階層化制御部は、デジタル入力信号より階層化画像の生成および各情報源符号化への分配、情報源符号化のレイヤ間の入出力制御処理と同時に下位レイヤ、上位レイヤで共通に使用される粗探索動ベクトル検出を行う。

4.2.1 S_CNTR

S_CNTR は、図 6 に示すように、① 4:2:0 変換用の垂直フィルタ(4:2:0_FIL)、②階層化画像生成用のダウンサンプリングフィルタ(D.S.F)、③アップサンプリングフィルタ(U.S.F)および④粗探索動ベクトル判定記憶回路(1 stMV_MEMO)で構成する。この処理手順を以下に示す。

(1) デジタル入力信号を読み込み 4:2:2 信号で MEMO_A に出力する。

(2) MEMO_A の 4:2:2 信号をマクロブロック(MB)形式で読み込むと同時に 4:2:0 信号に変換し高解像度画像として MEMO_A に出力する。

(3) MEMO_A よりリオーダー順に高解像度画像を読み込み、D.S.F により低解像度画像を生成する。この過程で下位レイヤで符号化処理する領域を切り出し下位レイヤ符号化画像として、同時に輝度信号のみを粗探索画像として MEMO_B に出力する。

(4) MEMO_B の粗探索画像より入力画像と参照画像を 1 stMVD に転送する。

(5) 1 stMVD 出力を判定しその結果を内部の 1 stMV_MEMO に記憶する。

(6) MEMO_B より符号化画像を読み込み対応する 1 stMV を下位レイヤの情報源符号化部(S_BLK)へ出力する。

(7) S_BLK 出力の再構成画像は一時記憶として MEMO_B に出力する。

(8) MEMO_B より再構成画像を読み込み U.S.F により空間予測画像を生成し再び一時記憶として MEMO_B に出力する。

(9) MEMO_A よりリオーダー順に高解像度画像を読み込み上位レイヤの情報源符号化部(S_BLK 1~6)へ符号化画像として出力する。

(10) MEMO_B より空間予測画像を読み込み対応する 1 stMV を上位レイヤの S_BLK 1~6 へ出力する。

S_CNTR は回路構成から判るようにフィルタと入出力処理が大部分を占めハードウェア量は比較的小さい。このため実時間処理では汎用メモリとのメモリバンド幅が重要となる。表 4 に S_CNTR の入出力ブロック(MEMO_A, B, 1 stMVD, S_BLK)とのデータ転送量を示す。

各情報源符号化部の S_BLK との入出力データ転送量は、表 4 より入力画像出力および再構成または空間予測画像の入出力がともに 17.3 Mbyte/s で動ベクトル出力

表 3 MEMO_A~C 上の記憶データとその構成
Table 3 Memory MEMO_A-C content and structure

MEMO	データ内容	Y 信号	Cb,Cr 信号	全バイト数	構成
_A	高解像度画像	1920×1088×5	960×544×5	15,682,560	5 フレーム
	ラインブロック変換	1920×8	(960×4)		1 スライス
_B	粗探索用画像	960×544×3	—	2,334,720	3 フレーム
	下位レイヤ符号化画像	640×480	320×240		1 フレーム
	再構成画像	16×16×160	8×8×160		160 MB
	空間予測画像	16×16×640	8×8×640		640 MB
_C	予測画像	320×1088×2 (640×480×2)	160×544×2 (320×240×2)	1,044,480	2 フレーム
	VBV バッファ	—	—	1,000,000	

注 Y 信号、Cb,Cr 信号は[pe]×[line]×構成を示す。(MB:マクロブロック)

表4 S_CNTRにおける入出力とデータ転送量
Table 4 S_CNTR chip I/O Data and data transfer rate

入出力対象 ブロック	データ名	I/O	転送単位 byte	データ 転送量
Y, Cb, Cr	デジタル信号入力(Y)(1)	I	62.7M ⁽¹⁾	62.7
	デジタル信号入力(Cb, Cr) (1)	I	62.7M ⁽¹⁾	62.7
MEMO_A	4:2:0 信号出力(Y) (1)	O	62.7M ⁽¹⁾	62.7
	4:2:0 信号出力(Cb, Cr) (1)	O	62.7M ⁽¹⁾	62.7
	MB・4:2:0 変換入出力(Y) (2)	I/O	62.7M×2 ⁽¹⁾	125.4
	MB・4:2:0 変換入出力(Cb, Cr) (2)	I/O	62.7M×2 ⁽¹⁾	125.4
	上位レイヤ符号化画像入力(9)	I	384×6	103.7
	ダウンサンプリング入力(3)	I	384×6	103.7
MEMO_B	粗探索用画像出力(3)	O	256×30 ⁽²⁾	26.1
	入力画像入力(4)	I	16×16×60 ⁽²⁾	34.6
	参照画像入力(4)	I	(16×60+144) ×24×2 ⁽²⁾	119.3
	下位レイヤ符号化画像出力(3)	O	384	17.3
	再構成画像出力(7)	O	384	17.3
	アップサンプリング入力(8)	I	384	17.3
	アップサンプリング出力(8)	O	384×4	69.2
	空間予測画像入力(10)	I	384×4	69.2
	下位レイヤ符号化画像入力(6)	I	384	17.3
1stMVD	MV・予測誤差入出力(5)	I/O	21×60	2.9
S-BLK	入力画像出力(6) (9)	O	384	17.3
	再構成/空間予測画像(7) (10)	I/O	384	17.3
	動ベクトル出力(6) (10)	O	8	0.4

注・データ転送量の単位は Mbyte/s であり転送単位を処理時間で除した値となる。

・転送単位は、画像をバースト的に扱うデータ量で処理時間は図8の6×TMBに相当する。

但し、⁽¹⁾の処理期間は毎秒、⁽²⁾の処理期間は1Tsを表す。

・データ名あとのOは4.2.1項の処理手順の番号に対応する。

が0.4 Mbyte/sである。この合計は35.0 Mbyte/sでありS_BLKとの入出力インタフェースは多量化が可能である。

4.2.2 MEMO_A, B

MEMO_AはM値(2つのIあるいはPにはさまれるBピクチャ枚数+1)を3とし、符号化の開始を1フレーム入力後とすると入力フレームを含めた高解像度画像5面分をフレームリオーガ用として記憶する必要がある。また、MEMO_Aは4:2:2/4:2:0変換およびマクロブロックスキャン変換用ラインメモリとしても使用する。メモリ容量は表3に示すように約16 Mバイトとなる。

MEMO_Bは1stMVD用に粗探索用画像3面(入力画像用1面と参照画像用2面)、下位レイヤ符号化用の入力画像1面、下位レイヤ再構成画像2スライス(160マクロブロック)および空間予測画像4スライス(640マクロブロック)分を記憶する。メモリ容量は表3に示すように約2.4 Mバイトとなる。

MEMO_A, BとS_CNTR間のデータ転送は表4に

示すようにマクロブロック以上の転送単位での処理が多く、バースト性が高いため汎用SDRAMの高速データ転送に適している。

MEMO_Aのデータ転送量は表4に示すようにS_CNTR間に6種類のデータ転送がありその合計は583.6 Mbyte/sとなる。メモリ構成は8 Mバイトの汎用SDRAM(データ転送速度500 Mbyte/s, 16 bit幅)2個を32 bit幅で使用することで対応できる。MEMO_Bも同様に9種類のデータ転送がありその合計は387.6 Mbyte/sとなる。メモリ構成は2 Mバイトの汎用SDRAM(データ転送速度300 Mbyte/s, 16 bit幅)2個を32 bit幅で使用することで対応できる。

4.2.3 1stMVD

1stMVDは粗探索用画像の水平方向60マクロブロック分の動ベクトル検出を行う。探索範囲はX方向が $-24 \times fd \sim +23 \times fd$ [pel], Y方向が $-16 \sim +15$ [pel]となる。ただしfdは参照画像とのフレーム間隔で1または2である。入力画像バッファおよび参照画像バッファは16 [pel]×8 [pel]×8ビットおよび16 [pel]×24 [pel]×8ビットで各2面構成である。この転送速度は表4のMEMO_B入力画像と参照画像の合計であり153.9 Mbyte/sのパイプライン処理となる。検出結果としてはフレームMCの動ベクトル1組とフィールドMCの動ベクトル4組とそれぞれの予測誤差を出力する。本処理ではフレーム当たり60×34マクロブロックの処理となりMP@MLの約1.5倍の処理能力が求められるが、前章のアーキテクチャによりVLSDの1チップ化は可能である。

4.3 情報源符号化部の処理構成

情報源符号化部の各レイヤは同一基本ブロックで構成し上位レイヤ符号化ではS_BLKを6個並列に使用することで対応できる。

4.3.1 S_ENC

S_ENCは図7に示すように①動き補償(MC)、②密探索動ベクトル検出(2ndMVD)および③情報源符号化(DCT_Q_VLC)より構成する。この処理手順を以下に示す。

(1) 符号化画像入力は2ndMVDに出力する。

(2) 1stMV入力で指定された参照画像をMEMO_Cより2ndMVDに入力する。

(3) 2ndMVDはフレームMC、フィールドMCおよびデュアルプライム予測に対する動ベクトル検出処理を行う。1stMVは下位レイヤで1倍、上位レイヤで2倍にスケールリングする。2ndMVDは1stMVDの周辺を±2画素の範囲でフルサーチし2ndMVを出力する。このため上位レイヤの探索範囲は1stMVDと合わせて

X 方向が $-48 \times fd - 2 \sim +46 \times fd + 2$ [pel], Y 方向が $-34 \sim +32$ [pel] となる。符号化画像バッファおよび参照画像バッファは、 16 [pel] \times 8 [pel] \times 8 ビットおよび 20 [pel] \times 12 [pel] \times 8 ビットで各 2 面構成である。検出結果はフレーム MC 動ベクトル 1 組とフィールド MC 動ベクトル 4 組とそれぞれの予測誤差を出力する。デュアルプライム予測の場合 dmV 参照画像バッファは 18 [pel] \times 9 [pel] \times 8 ビット 2 面構成となり、MEMO_C より dmV 参照画像を読み込み dmV ベクトルとその予測誤差を出力する。

(4) 動き補償画像は MVDI/F で判定した $2ndMV$ で指定される領域を MEMO_C から読み込む。

(5) 動き補償画像は空間予測画像入力と重みづけ処理合成し予測画像を生成する。

(6) 符号化画像と予測画像との差分データは DCT, Q, IQ および IDCT 処理を経て再び予測画像と加算し再構成画像を生成する。下位レイヤでは再構成画像を出力する。I または P ピクチャの場合再構成画像は予測画像として MEMO_C に出力する。

(7) MEMORYI/F は上位レイヤの場合 20×68 マクロブロック構成に、下位レイヤの場合 $40 MB \times 30$ マクロブロック構成に対応するメモリマップ制御を行う。

S_ENC には、MP@ML の符号化処理に空間予測画像の入力とその重み加算処理および再構成画像出力処理が追加されるが、この追加回路は極めて小さく VLSI の 1 チップによる実時間処理は充分可能である。

4.3.2 MEMO_C

MEMO_C は S_ENC の $2ndMVD$ 用の予測画像 2 面分の記憶と符号化の VBV バッファとして使用する。メモリ容量は表 3 に示すように約 $2M$ バイトとなる。予測画像の大きさは下位レイヤ用で 640 [pel] \times

480 [line], 上位レイヤ用で 320 [pel] \times 1088 [line] である。MEMO_C のデータ転送量は表 5 に示すように S_ENC と 4 種類のデータ転送がありその合計は 103.0 Mbyte/s となる。メモリ構成は $2M$ バイトの汎用 SDRAM 1 個を使用することで対応できる。

4.4 実時間処理符号化器の処理シーケンス

HDTV 空間スケーラビリティ符号化器の処理シーケンスは図 8 に示すようにフレーム同期(F_Sync)を基準に、スライス同期(S_Sync)およびマクロブロック同期(MB_Sync)を設定する。それぞれの同期間隔を T_F , T_S , T_{MB} とすると $1 T_F$ は、 $75 \times T_S$ とし $1 T_S$ は $120 \times T_{MB}$ とする。したがって $1 T_F$ は、 $9000 \times T_{MB}$ となる。

まず、粗探索のための粗探索用画像を得るため水平方向 60 マクロブロック分の低解像度画像の生成を $1 T_S$ 内で行う。つぎにその粗探索用画像を用いて 60 マクロブロック分を $1 T_S$ 内で粗探索する。ここで B ピクチャの場合 S_SyncNo の奇数番号で前方向探索を行い、偶数番号で後方向探索を行うため $2 \times T_S$ 必要となる。次に下位レイヤの符号化を行う。下位レイヤではオフセット

表 5 S_ENC における入出力とデータ転送量
Table 5 S_ENC chip I/O Data and data transfer rate

入出力対象 ブロック	データ名	I/O	転送単位 byte	データ 転送量
MEMO_C	再構成画像出力(6)	O	384	17.3
	動き補償画像入力(4)	I	$18 \times 9 \times 2 +$ $10 \times 5 \times 2 \times 2$	23.6
	参照画像入力(2)	I	$20 \times 12 \times 2 \times 2$	43.2
	dmV 参照画像入力(3)	I	$18 \times 10 \times 2$	16.2

注・データ転送量の単位は Mbyte/s であり転送単位を処理時間で除した値となる。

・転送単位は、画像をバースト的に扱うデータ量で処理時間は図 8 の $6 \times T_{MB}$ に相当する。

・データ名あとの O は 4.3.1 項の処理手順の番号に対応する。

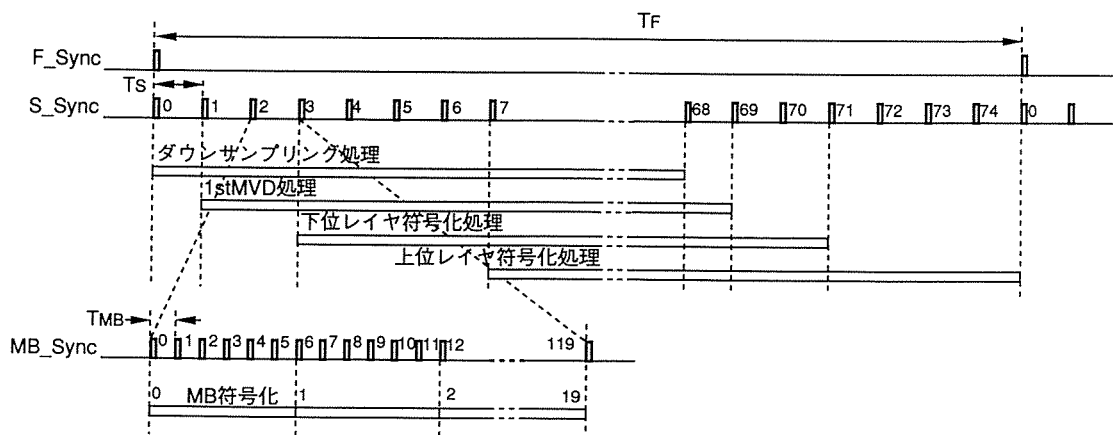


図 8 HDTV 空間スケーラビリティ符号器の処理シーケンス

Fig. 8 Timing specification for HDTV Spatial Scalability Encoder

部分を除いて水平方向 40 マクロブロック分を符号化する。1 Ts内で 20 マクロブロック分を処理するため下位レイヤの処理は $2 \times Ts$ 必要となり、1 マクロブロックの処理が $6 \times T_{MB}$ 内で行われる。上位レイヤでは下位レイヤの再構成画像出力を用いるためこのパイプライン処理による遅延時間を含め $4 S_Sync$ 遅らせて符号化を開始する。上位レイヤでは水平方向 120 マクロブロック分を 1 Ts内で 6 個の S_ENC で並列処理する。 S_ENC での 1 マクロブロックの処理は $6 \times T_{MB}$ で行う。

したがって、1 T_F 内の各処理の開始はダウンサンプリングが S_Sync の No. 0 から、1stMVD が No. 1 から、下位レイヤ符号化処理が No. 3 から、そして上位レイヤ符号化処理が No. 7 からとなる。また、一連の処理は $68 \times Ts$ で終了する。なお、表 4, 5 の入出力のデータ転送量はこの処理シーケンスにより算出している。

5. む す び

本論文では、HDTV レベルの MPEG 2 空間スケーラビリティ符号化方式における実時間処理用 VLSI のアーキテクチャを検討した。各レイヤの符号化入力画像の生成およびレイヤ間処理に機能分割型の並列処理として、各レイヤの情報源符号化処理にデータ分割型の並列処理を組み合わせたハイブリッド並列処理方式を提案した。さらに情報源符号化処理は SDTV レベルの符号化 VLSI を発展させた基本ブロックの VLSI を設定し、上位レイヤではこの VLSI を複数使用することで実現するスケーラブルアーキテクチャを提案し、少種類の VLSI により本符号化処理が実現できることを示した。また本アーキテクチャに基づく VLSI は、最新の VLSI 技術により階層化制御部で 2 種類、情報源符号化部で 1 種類で実時間処理に対応できることを示した。符号化器全体ではこの 3 種類の VLSI 9 個と 8 M バイトの汎用メモリ 2 個と 2 M バイトの汎用メモリ 9 個により構成できることも示した。

今後、階層化制御部、情報源符号化部の 3 種類の VLSI を実現していく予定であるが、画面サイズに適切に対応できるアドレス生成の簡略化手法などが課題となるとわれ、さらに検討を深めて行きたい。

本研究を進めるにあたり有益なご指導を頂いた(株)グラフィックス・コミュニケーション・ラボラトリーズの藤原洋氏に感謝致します。

参 考 文 献

- 1) ISO/IEC 13818-2: Coding of Motion Pictures and Associated Audio, (1995).
- 2) 藤原, 岡田, 小林, 上符, 丸山: “マルチメディアのための専用型動画画像符号化処理方式の研究”, 情報処理学会論文誌, Vol. 35,

No. 7, pp. 1422-1438 (1994-7).

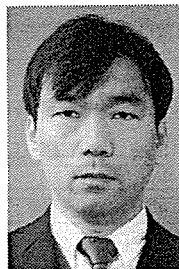
- 3) 正村, 市川, 中村, 滝川: “MPEG 2 リアルタイムエンコーダの試作”, 1994 年テレビジョン学会年次大会, 11-7, pp. 177-178 (1994).
- 4) Kobayashi, Saito, Kimura, Nakatomi, Nagai, Arai, Wuertele, Fujiwara, Nishi, Okada: “VLSI Implementation of a Complete Chip Set for an MPEG 2 Real-Time Encoder”, ISCAS (May-1996).
- 5) 上保, 藤川: “動き補償予測における前方向予測と双方向予測の比較検討”, 信学会春季全大, D-342, (1994).
- 6) Kobayashi, Wuertele, Okada, Otsubo, Asada: “Algorithm and Architecture of LSIs for MPEG2 Motion Vector Estimation”, PCS'96, Australia (March-1996).
- 7) 富永, 小松, 宮下, 花村: “階層画素情報を用いた動画画像における動き量検出方式”, 電子情報通信学会論文誌 D-2 Vol. J 72-D-2 No. 3 pp 395-403.
- 8) 池田, 小林, 正村, 藤原: “H. 261 動画画像符号化用チップセットの開発”, 画像電子学会年次大会 (1991).
- 9) Fujiwara, Liou, Sun, Yang, Maruyama, Shomura, Ohyama: “An All-ASIC Implementation of a Low-Bit Rate Video Codec”, IEEE TRANSACTION ON CIRCUIT AND SYSTEMS FOR VIDEO TECHNOLOGY Vol. 2 (June-1992).
- 10) 小林, 正村, 西塔, 藤原, 椎名, 緒方, 濱中: “ASIC 方式 H 1 レート動画画像コーデック装置の開発”, TV 学会誌 Vol. 47, No. 10 (1993).
- 11) K. Matsuda et al.: “A New Motion Compensation Coding Scheme for Video Conferences” IEEE International Communications Conference Vol. 1 (June-1992).

正 村 和 由 (正会員)



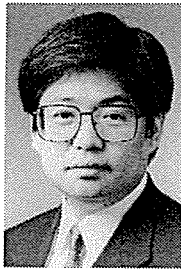
昭 45, 工学院大学電気工学科卒業。エレクトロニクスメーカーを経て、平 5 より(株)アスキー入社。同年、(株)グラフィックス・コミュニケーション・ラボラトリーズ出向を経て、(株)デジタル・ビジョン・ラボラトリーズに出向中、平 6 より工学院大学大学院博士後期課程在学中。主に動画画像符号化の高速処理アーキテクチャ、動画画像通信システムの研究開発に従事。電子情報通信学会、情報処理学会、画像電子学会、各会員。

小 林 孝 之 (正会員)



昭 54, 埼玉大学理工学部卒業。エレクトロニクスメーカーを経て、平 5, (株)アスキー入社。同年、(株)グラフィックス・コミュニケーション・ラボラトリーズ出向。現在、主幹研究員として動画画像符号化技術の研究および LSI, 端末機器開発に従事。電子情報通信学会、テレビジョン学会、画像電子学会など、各会員。

西 和 彦 (正会員)



昭 57, 早稲田大学理工学部機械工学科中退。昭 51, (株)アスキー出版(現・(株)アスキー)を設立。昭 54 より昭 60 まで米国マイクロソフト社にてパソコンのハードウェアとソフトウェアの設計と MS-DOS および GW-BASIC の開発に参加。昭 55 より昭 57 まで米国スタンフォード国際研究所(SRIInternational)客員研究員。昭 58 より昭 61 まで互換性を持ったパソコン MSX の設計に携わる。昭 61 より VM テクノロジー, 米国ネクスジェン社にてインテル互換の CPU の開発を指揮。昭 62, DAPA 日本委員会を組織。後に ISO の MPEG に発展し, デジタルビデオ圧縮の国際標準化活動に参加。平 2, 東京工業大学講師, 専門は「メディアシステム工学」。平 5, 早稲田大学理工学研究センター研究員。同年, グラフィックス・コミュニケーション・ラボラトリーズ会長就任。平 6, DAVIC 委員会運営委員。平 7, 国際大学グローバル・コミュニケーション・センター特別研究員。同年, デジタル・ビジョン・ラボラトリーズの設立に参加。平 8, 国際連合大学高等研究所客員教授。電子情報通信学会, 情報処理学会, 画像電子学会, 各会員。

持 田 康 典



昭 23, 金沢工業専門学校電気通信科(現金沢大学工学部)卒。昭 58, ヤマハ(株)専務取締役。昭 63, (株)リコー専務取締役。平 4 より工学院大学工学部電子工学科情報工学コース教授。平 5, 同大学工学研究科情報学専攻教授。マルチメディア統合および電子計算機構成に関する研究に従事。昭 50, 科学技術庁長官賞受賞。昭 59, 藍綬褒章受章。工学博士(東北大学)。電子情報通信学会, 米国 IEEE, 各会員。