

ディジタルHDTV用デコーダVLSIチップの開発

<あらまし>

通信，放送，蓄積メディアの大容量ディジタル化が進
展し映像符号化標準MPEG2の確立したことにより，高
品質のディジタル映像情報利用環境が整ってきた．本論
文では，HDTV品質高解像度映像情報の放送・通信・蓄
積システム実現に必須のデコーダVLSIチップ

（MPEG2標準MP@HL準拠）について，1994-1998
年に実施した開発の結果を述べる．まずHDTVデコーダ
の1チップ化と多様なフォーマット対応を意図した設計
目標と開発期間の短縮をねらった開発手法を，次に設計
の詳細および試作したチップの検証実験方法を述べ，最
後に検証結果を報告する．

得られたVLSIは，試作に用いたCMOS 0.5 μ mのエ
ンベディッド・アレイ方式プロセスでは2チップ構成で
合計206万トランジスタからなり，これと6個の16
Mbit SDRAMをマルチチップモジュールに実装して，
HDTV動作が確認できた．この設計結果を最新の0.25
 μ mカスタムLSI技術に適用すれば，8mm角程度の1チ
ップ化が実現できる見通しが得られている．

<Summary>

Evolution of high speed digital
communication, broadcast and storage media
as well as establishment of MPEG2 video
coding standard provides practical
environments for the distribution of high
resolution digital video contents. This paper

describes a successful development of digital HDTV decoder VLSI, which was carried out during 1994-1998. The VLSI conforms to the MPEG2 MP@HL standard and is essential for the high resolution multimedia systems. First, objectives of the development are given addressing one-chip implementation of HDTV decoder and capability of multiple format decoding, then the development steps intending to shorten the development period, design details and the verification method for manufactured chips are described. Finally, the verification results are reported.

Obtained VLSI consists of two chips on the trial CMOS 0.5 μ m embedded array process with 206 million transistors. These chips and six 16 Mbit SDRAMs were implemented as a multi-chip module for which HDTV and SDTV decoding operations were verified. Using this design outcome, we have obtained a prospect for 8mm square one chip implementation with the recent 0.25 μ m custom LSI technology.

1. はじめに

光ファイバ網の整備とATMなど高速通信技術の登場で、1990年代後半から2005年に向けて高速通信ネットワークの利用環境が整いつつある。放送については、1990年代後半から2000年にかけて、通信衛星、CATV、放送衛星、地上波の順でデジタル放送サービスが導入されつつある。また、蓄積メディアでは、1990年代後半に、テープメディアとしてアナログVHSを発展させたデジタルVHSが、また、ディスクメディアとしてDVDが登場した。

マルチメディアサービスの展開に必要なことは、大量の情報を交換するためのこれらインフラストラクチャ整備とともに、異なるメディアインフラ間で相互流通可能なHDTV品質にまで及ぶ高品質のデジタル映像情報利用環境の提供である。MPEG2映像符号化標準¹⁾の確立はこのことに大きく貢献している。しかしその実装には、数GOPSに及ぶ膨大なリアルタイム処理が要求される。

これまで、一般的なコンピュータのエンジンとして、ストアドプログラム方式のCISCやRISC、あるいはVSPが考えられてきたが²⁾、これらのプロセッサによるHDTV品質映像の復号処理は極めて困難である。また、超並列コンピュータによる高度並列処理が提案されているが、システムが大規模となり、現時点での小型化、量産化には不向きである。VLSIチップによるMPEG2映像符号化処理、とりわけデコーダの実現が高品質デジタル映像サービス展開の鍵となる。

本論文では、このような背景のもと、1994-1998年に実施したデジタルHDTV用デコーダVLSIチップの開発について、開発手法、チップ設計と試作ならびに検

証実験結果を述べる。

2. 開発目標の設定

予備検討を行ない，チップ仕様ならびに開発方法に関し，次の目標を設定した。

1) デジタルHDTV映像の1チップ化

MPEG2映像符号化標準のMP@HLストリームを1チップで復号する。この開発の着手時，SDTV映像対応のデコーダは既に試作や開発中の発表があったが³⁾，HDTV用は新たな領域であった。SDTVデコーダの技術（半導体プロセス）内容とMPEGアルゴリズムの要素技術から，CMOS 0.5 μ mのプロセスのスタンダードセルかフルカスタム方式ならHDTVの1チップ復号が可能との見通しに基づき，この設定を行った。試算したHDTVデコーダの信号処理量，メモリアクセス量を表1，表2に示す。

2) 多様な映像フォーマットへの対応

MPEG2標準は，映像フォーマットに関して階層的な規定となっていて，デコーダの所要処理量が上記HDTVフォーマット以内であればすべてのフォーマットで復号可能でなければならない。HDTVデコーダは，例えば，次のフォーマットを包含することになる。

- ・ 1080本インターレース (HDTV)
- ・ 720本プログレッシブ
- ・ 480本プログレッシブ
- ・ 480本インターレース (SDTV)

また，走査線1080本のHDTVの次に要求されるのは

UDTV⁴⁾であり，UDTV-0(1080本プログレッシブ)デコーダを上記HDTVチップ2個で実現する．

3) 独立性の高いチップ内部モジュール分割

設計結果を多様なVLSIプロセスに適用可能とするため，チップ内部を独立性の高い10個程度のモジュールに分割する．

4) コンピュータ上の設計，検証

チップ試作回数を最低限にし，結果として開発時間を短縮させるため，可能な限りコンピュータ上の論理合成およびシミュレーション実験で設計を進める．

3. 開発手法

膨大な処理量を扱うVLSIチップの設計には，その結果を検証するシミュレーション時間をいかに短くするかがポイントとなる．そこで本開発では以下のステップを定め実行した．

- 1) 符号化方式と仕様概要の定義
- 2) 上位アーキテクチャの決定（1チップか2チップ以上かの検討，UDTV-0対応検討を含む）
- 3) 試作プロセスと開発ツールの検討
- 4) チップ内部の各モジュール間接続・同期動作方法の検討
- 5) 復号アルゴリズム細部とチップ入出力仕様の検討・およびCモデル（MPEG2映像符号化ストリームの復号機能をC言語で記述したモデル，VLSI設計結果の妥当性を評価する基準となる）の開発
- 6) 試作プロセスを加味した各モジュールの仕様とモジ

ユーラ間接続の定義

- 7) ハードウェア記述言語 (Verilog) によるRTLモデルの開発とシミュレーション評価
- 8) 中間評価と試作プロセスの再検討, および試作チップ評価方法の検討
- 9) チップ各部テスト方法の検討とテスト回路論理設計記述
- 10) ハードウェア記述言語 (Verilog) によるゲートレベル・モデルの開発
- 11) ハードウェアアクセラレータによるシミュレーション評価
- 12) 設計データ (ネットリスト) 提出とテストデータ (テストベクタ) 生成
- 13) 各セルをレイアウト後の実配線シミュレーション評価と調整
- 14) 外部半導体メーカーによるチップ試作
- 15) 試作チップのボードへの組み込みと実用動作評価

4. チップ設計

4.1 仕様および内部構成

デコーダチップ仕様をまとめて表3に示す.

本VLSIは性能変更や仕様変更に対応可能な構成とするとともにシミュレーションの容易性を考慮し, 図1に示すように, 9個のモジュールにより構成することとした. 一方, 軽微な仕様変更に対応するためにRISC構成のマイクロプロセッサを新規に設計, 内蔵させた. 本プロセッサでMPEGの上位レイヤのデコードを行う事によりチップが完成した後でも各種のシンタックス処理を行うことが可能となっている. さらに, これら9個のモ

ジュールは並列処理とパイプライン処理を併用することにより、膨大なHDTV信号処理を実現している。

モジュール間の結合は、内部バッファメモリと制御パケットによるモジュール接続・制御方式とし、緩い同期動作によって各モジュールの独立性を高めている⁵⁾。

4.2 チップ構成

VLSIテクノロジーとして開発着手当初に一般的になりつつあった0.5ミクロンルールを想定し、また、このVLSIには80MHz程度の高速基本動作クロックが必要なことを考慮して、チップセットより1チップ化がむしろ安全な設計方法であると判断、設計を進めた。外部メモリは速度の点からシンクロナスDRAMとする。

中間評価の結果、チップ試作を想定したCMOS 0.5 μm のエンベディッド・アレイ方式プロセスではチップサイズが大きくなりすぎることがわかり、2チップ（Aチップ、Bチップと呼ぶ）に分割して試作、検証することとした。モジュール毎の配分は、図1に合わせて示す。この2チップ化作業は、独立性の高いモジュール分割アーキテクチャを採っていたため、短時間で容易に行うことができた。

UDTV-0符号化信号の復号は、図2に示すようにHDTVデコーダを2系列用い、動き補償のため中央各128ラインのデータを相互に転送することによって実現する。

4.3 基本モデルの開発と動作検証

上述のVLSIアーキテクチャに従ったソフトウェアによるデコーダモデルの作成を行い、良好にVLSIが動作する事を確認した。C言語を用いてモデル作成を行うこ

とにより後述のVerilog言語による機能シミュレーションと比較し約2000倍の速度で動作確認が可能となった。また、ここで得られた結果は以降の段階でVLSI内部各モジュールの検証に用いた。

4.4 回路設計

上記モデルを基に回路の基本となる実タイミングを重視したVLSI設計を行った。本開発にはシミュレーションの速度とC言語との親和性を考慮してハードウェア記述言語（Verilog）を用いた。最終的なVerilog記述は約60,000行となっている。

4.5 論理合成

前項により検証が終ったモジュールは言語記述から回路記述に変換する必要がある。本試作ではデザインコンパイラ（Synopsys社）を導入し回路記述への変換を行った。一方、HDTVを扱うために内部の動作クロックを81MHzと設定したため、開発時点の半導体技術では十分な性能を得ることが難しく、一定の性能を維持するためにALU、バレルシフタ、乗算器など26種類のハードマクロと呼ばれるトランジスタレベルの記述による回路設計を行った。

RTLモデルによるVerilog機能シミュレーションといえども、実際のHDTV映像復号シミュレーションには、15フレーム分の処理に半月程度の時間を要するため、シミュレーション評価用に下記の特種な小サイズ映像フォーマットも用いた。

- ・ 64画素 x 64ライン
- ・ 256画素 x 128ライン

この64×64のサイズでも15フレームの復号シミュレー

ションには4時間程度を要した。

4.6 ハードウェアアクセラレータによる論理検証

全モジュールの回路情報への変換が終った時点でチップ全体のタイミングを含めた動作検証を行う必要があるが、通常のソフトウェアシミュレータを用いた場合、1回のシミュレーション（15フレームの映像を復号）に1年程度の時間がかかり実用的ではない。そこでハードウェアアクセラレータ（IKOS社製NSIM64）を導入し、検証の高速化を図った。また、実動作状態を実現するために本チップの外部に接続されるSDRAMのシミュレーションモデルの開発もあわせて行った。この結果、最終的には1回のシミュレーションが10日間程度に高速化され、多様な試験画像についてVLSI動作を確認することができ、設計上のバグを取り除くことができた。

4.7 内部基本レイアウトの作成

前項の作業により各ブロックのゲートサイズが概ね特定できる。各モジュールとマクロセルのVLSI上での配置を最適に決定することがVLSIとして完成した時点での性能を左右する。数種類のレイアウトを試み、その中の最適なものを配置配線作業への設計情報として供した。

4.8 ネットリスト作成

上記配置作業結果に基づいた回路設計情報をプロセス側に渡し実際の配置配線を実施した。しかし当初の目標性能に達しないことが分かったため、配線遅延の大きな部分には再論理合成やバッファの挿入を行い目標性能の達成に努めた。この結果、手作業によるバッファの挿入箇所は10,000箇所にもものぼったが、最終的には動作す

るネットリストが得られた。

4.9 配置配線後の実配線シミュレーションによる動作の検証

VLSIプロセス側による配置配線作業が終了した後，この配線情報に対応したシミュレーション作業を行うことで最終的なチップ動作を確認することとした．結果的には4.8節と本節上記の作業を10回程度繰り返し，チップ全体を81MHzで動作させた場合でも安定に動作することを確認して，半導体メーカーによるVLSI試作工程に移行することとした。

4.10 内部RISCプロセッサのマイクロコードコンパイラの開発

本チップ内部には汎用性を高めることを目的としてRISC型のマイクロプロセッサが内蔵されている．本プロセッサは少ないゲート数で独自に開発したものであるため，命令列を生成するコンパイラは市販のものが使えない．このためRISCプロセッサの設計者自らマイクロコードコンパイラを開発することにより対応した．このコンパイラは汎用のワークステーションで動作するようになっていて，各種マイクロコード開発に有用なツールである。

5. チップ試作

できあがった2チップのマスク写真を図3に示す．Aチップは20mm x 20mm (560ピン)，Bチップは16.7mm x 15mm (380ピン)のサイズとなり，当時の半導体技術では最大級で配置配線には多大な時間を費

やすこととなった。2個のVLSIチップに搭載されたトランジスタは、論理ゲートに115万個、メモリに91万個、合計206万個である。

この2チップと16 Mbit SDRAM 6個でデジタルHDTVデコーダを構成するが、チップ間配線長を短くすべく、図4に示すマルチチップ・モジュール(MCM)実装とした。

本チップ内部のRISCプロセッサは、MPEG2ビットストリームの上位レイヤを復号し、制御パケットを生成する。各モジュールは制御パケットによって制御される。

マイクロコードはHDTV用(SDTVを包含)とUDTV-0用を開発した。

6. 検証実験

6.1 実動作試験用評価基板

試作したVLSIを実際に動作させるためには外部にホストコンピュータと若干のアナログ回路を必要とする。このため図5に示すような、音声を含まないMPEG2ビットストリームのみを対象とした評価基板、評価システムと本VLSIを評価するためのソフトウェアを試作した。ホストコンピュータ(Sun Microsystems社製SPARC Station 20)によりネットワーク環境を利用した各種ビットストリームによる動作検証を可能としている。

6.2 ビットストリーム供給用パラレルディスクシステム

本VLSIに外部からビットストリームを供給することで最終的には画像が再生される。一方、現状ではディジ

タルHDTVの放送は行われていないため，何らかの形で外部からビットストリームを供給する必要がある．そこで図6に示すような，実験用としてハードディスクを用いたビットストリーム供給装置を開発することにより実動作試験環境とした．テストデータを格納する2系列のディスクをSCSIインタフェース，FIFOバッファを介して読み出すことにより，出力データの連続性が確保される．

HDTV信号復号試験には，シミュレーションで作成した3秒間の符号化データ（40 Mbit/s）と，ハードウェア・エンコーダで作成した15分間の符号化データ（20 Mbit/s）を用いた．なお，SDTV信号復号試験には，シミュレーションで作成した10秒間の符号化データ（4 Mbit/s）を用いた．

6.3 実験結果

本VLSIは当初SDTV(MP@ML)のビットストリームを用いて動作試験を実施した．この結果，チップ完成から10日目にして動作を確認することができた．さらに12日目でHDTV(MP@HL)での動作が確認された．

その後継続した動作試験を通じ，VLSI設計上の不具合はみつかっていない．

7. むすび

本論文では，HDTV/UDTV-0対応のMPEG2デコーダチップ開発の方法と，当初の目標性能を満足するVLSIを完成した結果を述べてきた．本VLSIは2チップ分割の試作となったが，最終的なトランジスタ数が200万ほどに収まったことと柔軟なモジュール間結合の設計

であることから，最新の $0.25\mu\text{m}$ カスタムLSI技術によれば8mm角程度の1チップ化を実現できる見通しが得られている．

開発を着手した時点ではデジタルHDTV放送の計画は具体化されていなかったが，途上，米国におけるATV，わが国におけるBS HDTVデジタル化の計画が明らかになり⁶⁾，ここに述べた開発成果がそのサービス展開に寄与できる．

また，試作チップがそのまま完全に動作したことで，ここに述べた開発手法が有効であることが実証され，この面でも今後の画像符号化処理のVLSI化に寄与するであろう．

おわりに，チップ試作に協力いただいたNTTエレクトロニクス社の関係各位，論文のまとめを支援いただいた大久保榮氏（現通信・放送機構）に感謝します．

参考文献

- 1) ITU-T Recommendation H.262|ISO/IEC 13818-2 "Information technology - Generic coding of moving pictures and associated audio information: Video" (1995).
- 2) 藤原，岡田，小林，上符，丸山："マルチメディアのための専用型動画像符号化処理方式の研究"，情報処理学会誌，Vol.35，No.7，pp.142-1438 (1994)
- 3) 山田恭裕，片山泰男："MPEG特集，6-3 LSI"，テレビジョン学会誌，Vol.49，No.4，pp.518-522 (1995).
- 4) 電気通信技術審議会："21世紀を展望したデジタル映像技術の在り方について"，平成4年度答申諮問第

59号，郵政省（1993年1月25日）.

5) 特許出願"画像伸長装置"，公開番号平9-93575，
(1996).

6) 吉田昇："21世紀に向かって動き出したデジタル
放送：1. デジタル放送方式の審議状況と将来展望"，
映像情報メディア学会誌，Vol.51，Ho.9，pp.1336-
1340 (1997).

付録 本論文で使用する略号

ALU: Arithmetic Logic Unit

ATM: Asynchronous Transfer Mode

ATV: Advnaced TeleVision

CATV: CAble TeleVision

CISC: Complex Instruction Set Computer

DAC: Digital-to-Analog Converter

DVD: Digital Versatile Disc

FIFO: First-In First-Out

HDTV: High Definition TV

IDCT: Inverse DCT

MC: Motion Compensation

MCM: Multi-Chip Module

GOPS: Giga Operations Par Second

RISC: Reduced Instruction Set Computer

RTL: Register Transfer Level

SCSI: Small Computer System Interface

SDRAM: Synchronous DRAM

SDTV: Stanard Definition TV

UDTV: Ultra Definition TV

VHS: Video Home System

VSP: Video Signal Processor

<図表標題>

表1 MPEG方式HDTVデコーダの信号処理量（乗算，
加減算，シフト回数）

Table 1 Signal processing for MPEG HDTV
decoder (number of multiplication, addition,
subtraction and shifting)

表2 デコーダ処理の外部メモリDRAMのアクセス量(単
位：バイト)

Table 2 Access speed of MPEG DRAM
external to HDTV decoder (unit: byte)

表3 HDTVデコーダVLSI仕様・機能概要

Table 3 Summary of specifications and
functionalities for HDTV decoder VLSI

図1 HDTVデコーダチップの内部構成

Fig.1 Internal configuration of HDTV decoder
chip

図2 UDTV-0デコーダ構成法

Fig.2 Structure of UDTV-0 decoder using
MPEG HDTV decoder chips

図3 チップのマスク写真

上がAチップ，下がBチップ．それぞれ中央部分が論路回路で周辺部分がハードマクロ．

Fig.3 Mask photographs of A chip and B chip
Top: A chip, bottom: B chip where the central part is logic circuitry, and the surrounding part is hard macro.

図4 マルチチップ・モジュール

Fig.4 Multi-chip module

図5 MP@HL MPEG2デコーダチップ評価システムとデコーダボード

Fig.5 Evaluation system for MP@HL MPEG2 decoder chips and decoder board

図6 パラレル転送ディスクシステム

Fig.6 Parellel transfer operation disk system

-----<論文構成>-----

ディジタルHDTV用デコーダVLSIチップの開発

あらまし， Summary

1. まえがき

2. 開発目標の設定

<表1>MPEG方式HDTVデコーダの信号処理量(乗算，加減算，シフト回数)

<表2>デコーダ処理の外部メモリDRAMのアクセス量(単位：バイト)

3. 開発手法

4. 設計結果

4.1 仕様および内部構成

<表3>HDTVデコーダVLSI仕様・機能概要

<図1>HDTVデコーダチップの内部構成

4.2 チップ構成

<図2>UDTV-0デコーダ構成法

4.3 基本モデルの開発と動作検証

4.4 回路設計

4.5 論理合成

4.6 ハードウェアアクセラレータによる論理検証

4.7 内部基本レイアウトの作成

4.8 ネットリスト作成

4.9 配置配線後の実配線シミュレーションによる動作の検証

4.10 内部RISCプロセッサのマイクロコードコンパイラの開発

5. チップ試作

<図3>チップのマスク写真

<図4>マルチチップ・モジュール

6. 検証実験

6.1 実動作試験用評価基板の設計と開発

<図5>MP@HL MPEG2デコーダチップ評価システムとデコーダボード

<図6>パラレル転送ディスクシステム

7. むすび

参考文献

付録

< 著者紹介 >

西和彦

昭57，早稲田大学理工学部機械工学科中退。昭51，(株)アスキー出版（現・(株)アスキー）を設立。昭54より昭60まで米国マイクロソフト社にてパソコンのハードウェアとソフトウェアの設計とMS-DOSおよびGW-BASICの開発に参加。昭55より昭57まで米国スタンフォード国際研究所（SRI International）客員研究員。昭58より昭61まで互換性を持ったパソコンMSXの設計に携わる。昭61よりVMテクノロジー，米国ネクスジェン社にてインテル互換のCPUの開発を指揮。昭62，DAPA日本委員会を組織，後にISOのMPEGに発展しデジタルビデオ圧縮の国際標準化活動に参加。平2，東京工業大学講師，専門は「メディアシステム工学」。平5，早稲田大学理工学研究センター研究員。同年(株)グラフィックス・コミュニケーション・ラボラトリーズ会長就任。平6，DAVIC委員会運営委員。平7，国際大学グローバル・コミュニケーション・センター特別研究員。同年(株)デジタル・ビジョン・ラボラトリーズの設立に参加。平8，国際連合大学高等研究所客員教授。同年，早稲田大学理工学部講師「マルチメディア政策論」。平10，尚美学園短期大学教授。電子情報通信学会，情報処理学会，画像電子学会各会員。

中尾早人

昭62，同志社大学工学部卒業。同年日本ビクター株式会社に入社。以来，研究所で主に画像生成，映像符号化

の研究開発に従事。平6，（株）グラフィックス・コミュニケーション・ラボラトリーズに出向しMPEG2 HDTVデコーダVLSIの開発に従事，平成10，出向解除となりMPEG2 HDTVデコーダVLSIの開発に従事中。

小林伸志

昭60，法政大学工学部卒業。同年岩崎通信機（株）に入社。通信用，計測用，画像用のLSIの開発に従事。平5，ジー・シー・テクノロジー（株）に入社。画像用LSIの開発に従事。平6，（株）アスキーに入社。（株）グラフィックス・コミュニケーション・ラボラトリーズに出向しデジタルHDTV用デコーダVLSIチップの開発に従事。

岡田敏男

平3，北海学園大学工学部電子情報工学科卒業，同年日立ビデオエンジニアリング（株）（現（株）日立画像情報システム）に入社。以来，日立製作所映像メディア研究所でビデオカメラ，ストレージシステム事業部でディスプレイ装置のLSI開発に従事。平5，（株）グラフィックス・コミュニケーション・ラボラトリーズに出向し，デジタルHDTV用デコーダVLSIチップの開発に従事。平成10，（株）日立画像情報システム開発本部開発第1グループ所属。

佐藤正人

昭51，明星大学工学部電気工学科卒業。昭56，日本ビ

クター株式会社に入社。以来，研究所にてコンピュータ
応用システム，LSI開発等に従事。平6，（株）グラフィ
ックス・コミュニケーション・ラボラトリーズに出向
しマルチメディア関連システム開発並びに画像圧縮LSI
開発に従事。平成10，日本ビクター株式会社研究開発
本部中央研究所S5ラボ所属。

藤原 洋

昭52，京都大学理学部卒業。東京大学工学博士（電子
情報工学）。日本IBM、日立エンジニアリングを経て，
昭60，（株）アスキー入社。昭60-平10，一貫して，
郵政省案件，基盤技術研究促進センター出資の研究開発
会社のリーダーを務め，平5年3月-平10年3月，株式会
社グラフィックス・コミュニケーション・ラボラトリー
ズ常務取締役研究開発本部長。この間、画像符号化高速
処理方式の研究，コンピュータを利用した通信，放送，
蓄積メディア間の情報交換ネットワークの研究に従事す
る。平3，郵政省テレコム旬間推進協議会会長賞。平8，
（株）インターネット総合研究所設立。現在，（株）イ
ンターネット総合研究所所長，慶応義塾大学理工学部客
員教授，（株）グラフィックス・コミュニケーション・
ラボラトリーズ代表取締役社長。著書『インターネット
時代の画像圧縮技術』『高速インターネットケーブルモ
デム（監訳）』など多数。画像電子学会，情報処理学会，
電子情報通信学会，映像情報メディア学会，システム制
御学会正会員。IEEE Senior Member。

表1 MPEG方式HDTVデコーダの信号処理量 (乗算, 加減算, シフト回数)

Table 1 Signal processing for MPEG HDTV decoder
(number of multiplication, addition, subtraction and shifting)

処理内容	1マクロブロックあたり	1フレームあたり	1秒あたり
VLCデコード 注1)	120	979,200	29,376,000
量子化デコード	1,200	9,792,000	293,760,000
IDCT 注2)	13,000	106,080,000	3,182,400,000
MCデコード	2,340	19,094,400	572,832,000
ビデオ出力	200	1,632,000	48,960,000

注1) 8x8の1ブロックあたり10個の非ゼロ DCT 係数があるとしての値

注2) 高速アルゴリズムを仮定しており, 約1/4が乗算回数である

表2 デコーダ処理の外部メモリDRAMのアクセス量 (単位: バイト)

Table 2 Access speed of MPEG DRAM external to HDTV decoder
(Unit: byte)

処 理 内 容	1マクロブロックあたり	1フレームあたり	1秒あたり
VLCデコード	0	0	0
量子化デコード	0	0	0
IDCT	0	0	0
MCデコード 注1)	3,456	28,200,960	846,028,800
ビデオ出力 注2)	384	3,133,440	94,003,200

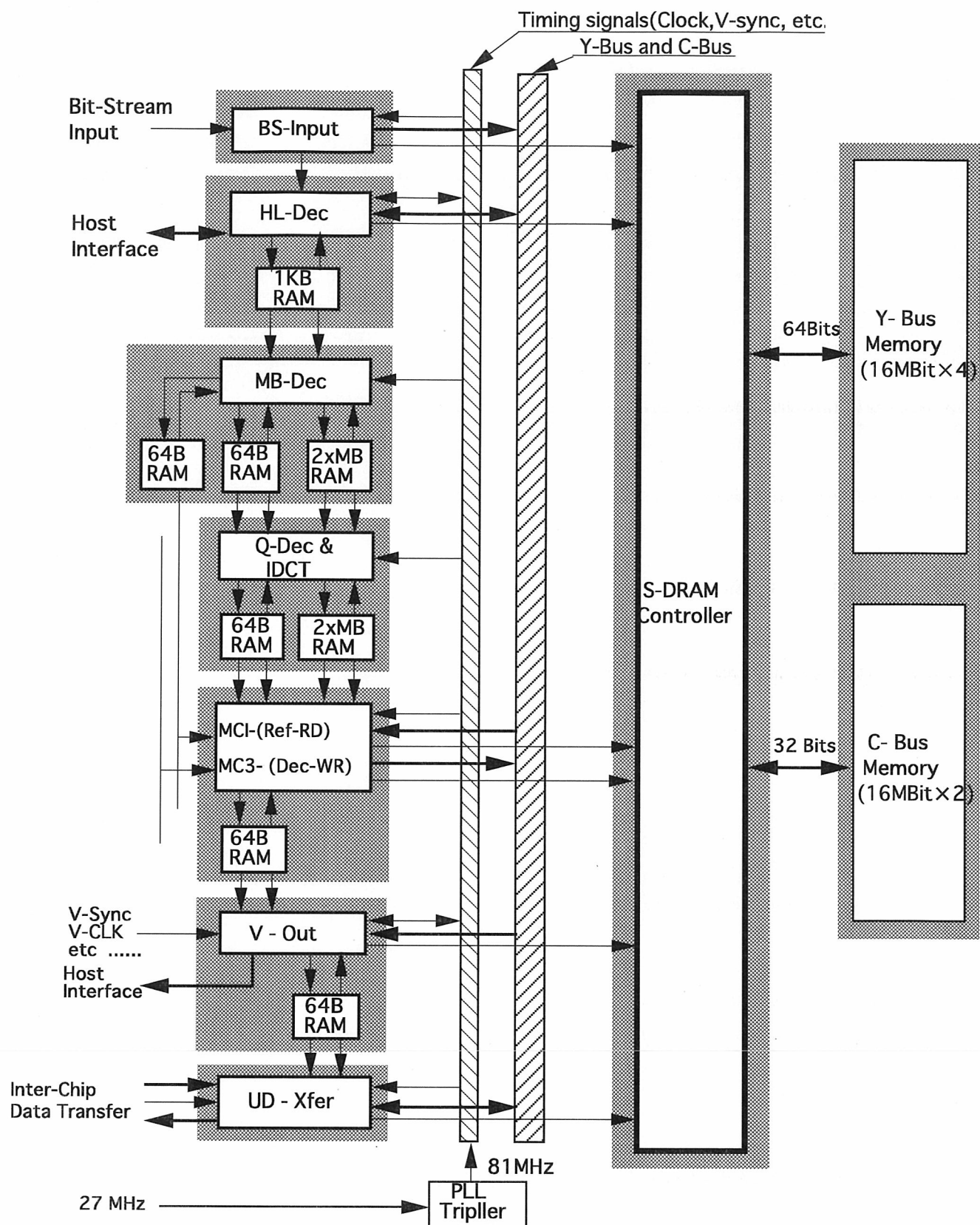
注1) 両方向フィールド予測モード最大アクセス時 (8マクロブロック読出+1マクロブロック書込)

注2) 4:2:0フォーマット

表3 HDTVデコーダVLSI仕様・機能概要

Table 3 Summary of specifications and functionalities for HDTV decoder VLSI

項 目	内 容
符号化方式	MPEG2ビデオ Main-profile@High-level
最大解像度	1920×1088ライン×30フレーム/秒 (輝度) 960画素×544ライン×30フレーム/秒×2 (色差2種)
最大ビットレート	80Mbit/s
入 力	8ビット並列符号化ストリーム 外部ビデオ同期信号
ビデオ出力	BTA - S002 (HD-VTRデジタル入出力フォーマット) SMPTE Rep125 (D1-VTRデジタル入出力フォーマット) 外部DAC接続用16-bit 並列
動作制御	外部ホストより制御コードとマイクロコード転送
外部メモリ	16-bit×1M (16Mbit) シンクロナスDRAMを6個
動作クロック	デコード処理は最大81MHz ビデオ出力処理は最大74.25MHz
付加機能	MPEGプログラムストリームのビデオ部分デコード ウィンドウ表示と外郭色制御



モジュール	チップ	機能
BS-Input	A	ビットストリーム入力
HL-Dec	A	ビットストリーム上位レイヤ復号
Host-Interface	A	ホストとのインタフェース
MB-Dec	B	スライスレイヤ以降のデコード
Q-Dec	B	逆量子化
IDCT	B	逆離散コサイン変換
MC	A	動き補償
V-Out	A	ビデオ出力
UD-Xfer	A	UDTVインタフェース
S-DRAM Controller	A	DRAM制御

図1 HDTVデコーダチップの内部構成
Fig.1 Internal Configuration of HDTV decoder chip

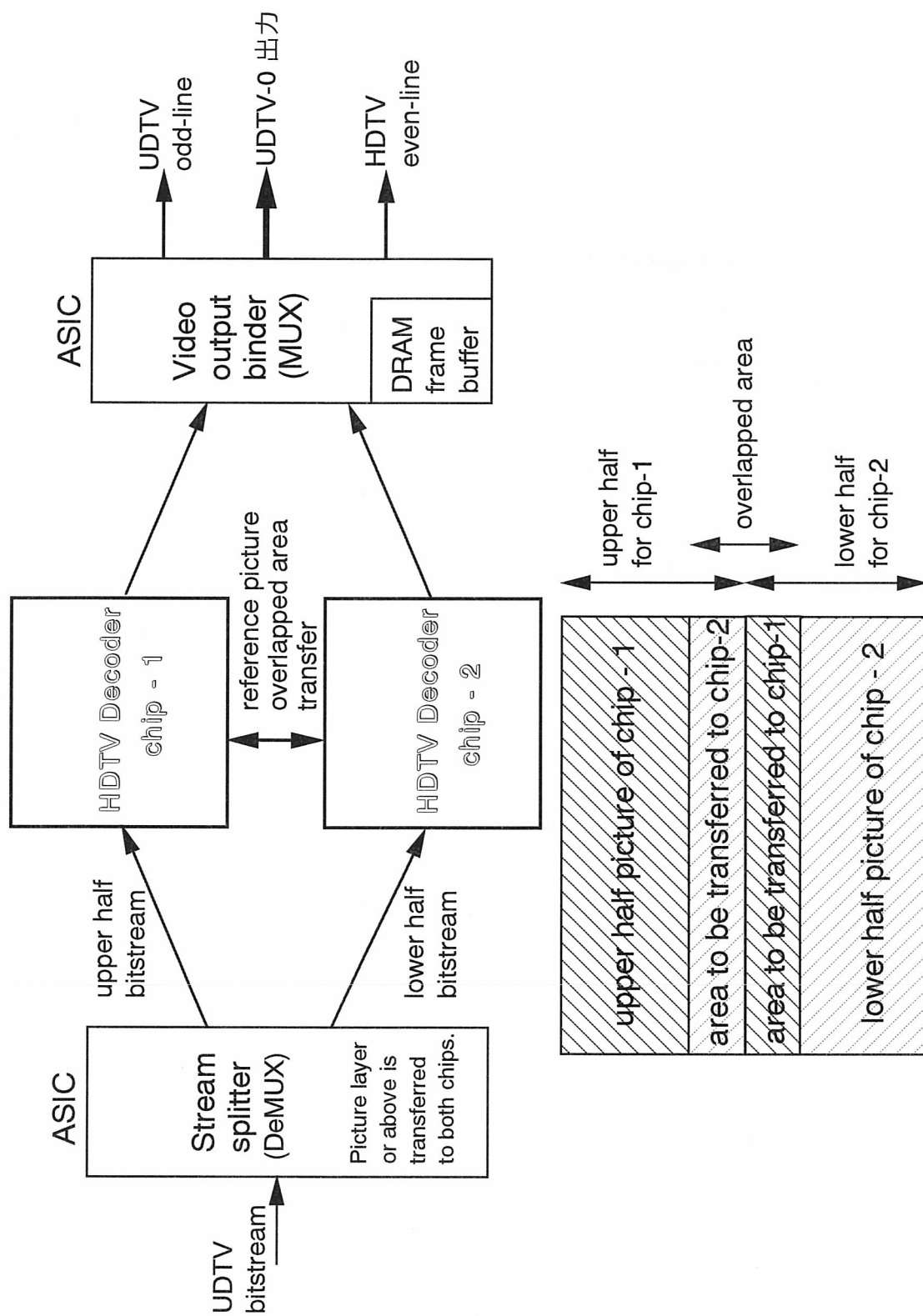
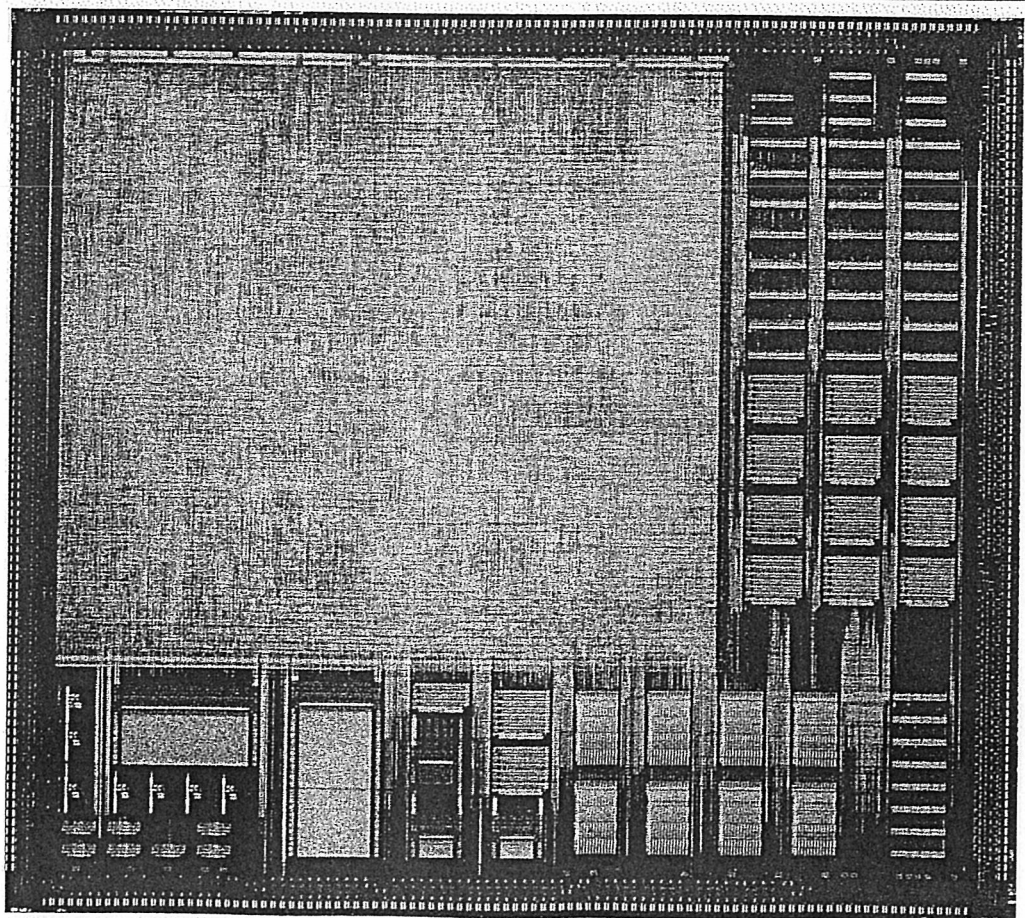
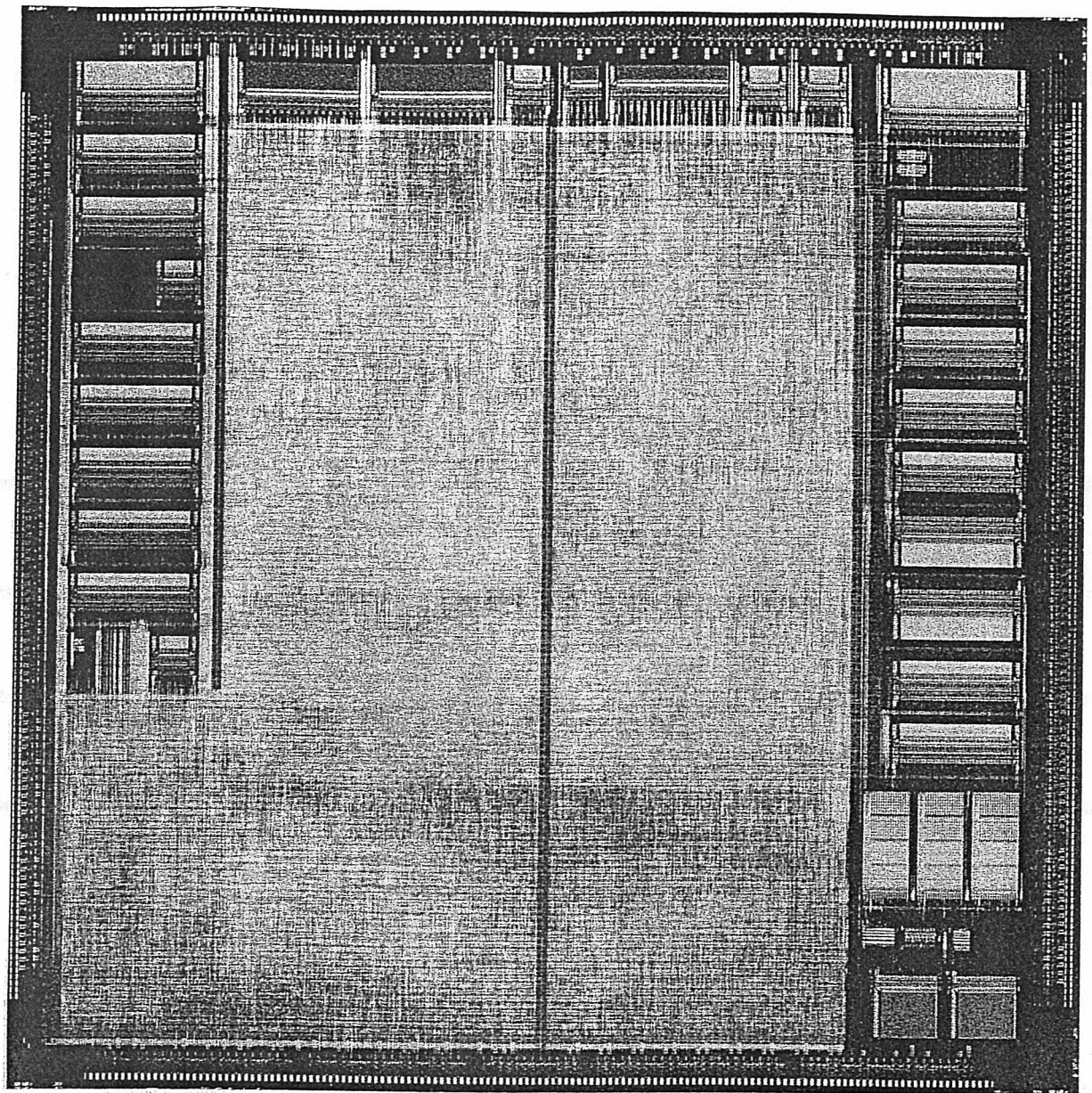
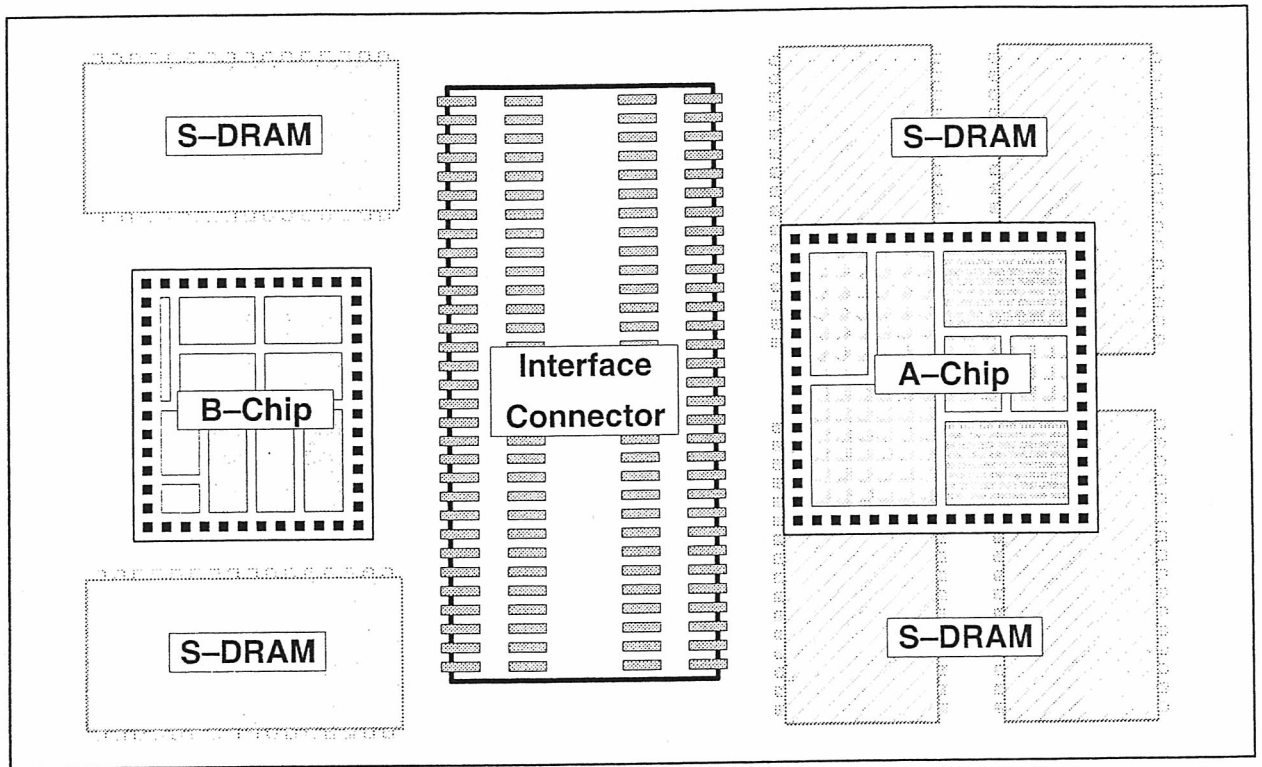


図 2 UDTV-0 デコーダ構成法

Fig. 2 Structure of UDTV-0 decoder using MPEG HDTV decoder chips





82mm × 48mm

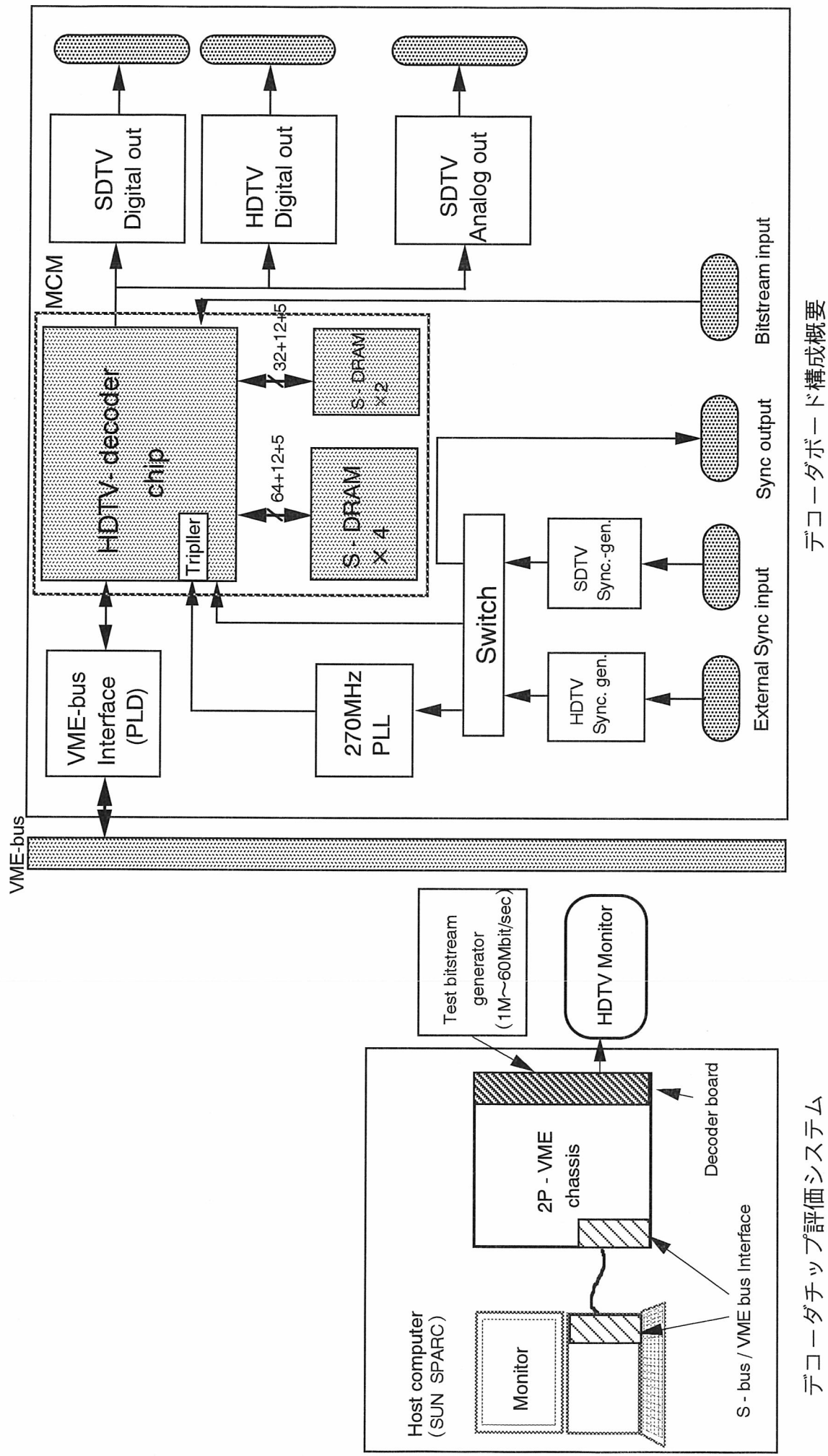


図5 MP@HL MPEG2 デコーダチップ評価システムとデコーダボード

Fig. 5 Evaluation system for MP@HL MPEG2 decoder chips and decoder board

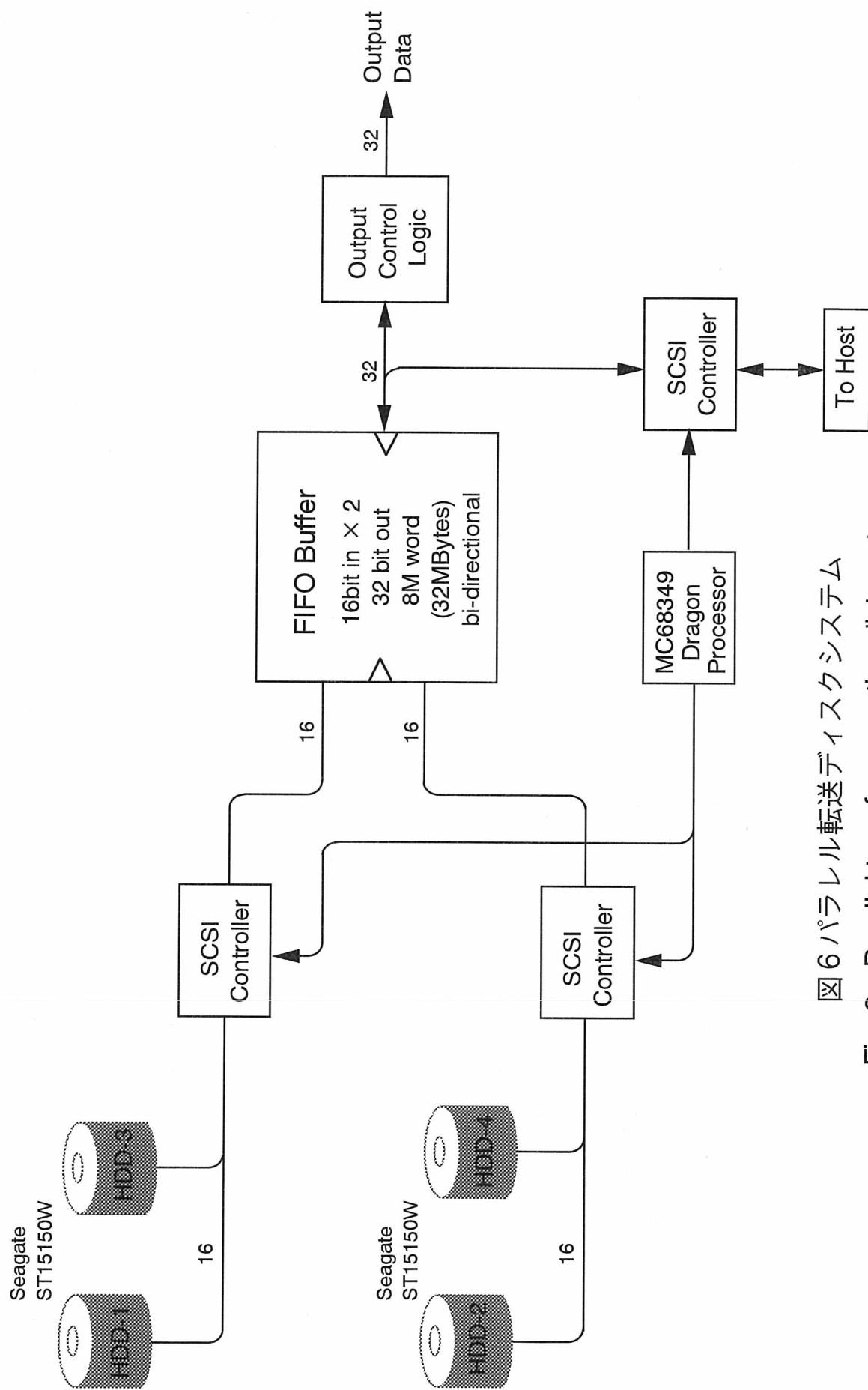


図 6 パラレル転送ディスクシステム
Fig. 6 Parallel transfer operation disk system